


This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
-  ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: **Yuji KOJIMA et al.**

Filed : **Concurrently herewith**

For : **PACKET DATA PROCESSING APPARATUS AND PACKET RELAY APPARATUS**

Serial No. : **Concurrently herewith**

June 1, 2000

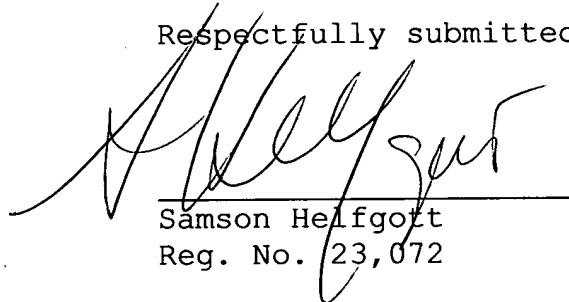
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is Japanese patent application No.
11-158514 of June 4, 1999 whose priority has been claimed in the
present application.

Respectfully submitted



Samson Helfgott
Reg. No. 23,072

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUJI 17.379
LHH:priority

Filed Via Express Mail
Rec. No.: EL522391806US
On: June 1, 2000
By: Lydia Gonzalez
Any fee due with this paper, not fully
Covered by an enclosed check, may be
Charged on Deposit Acct. No. 08-1634

#3
Jc406 U.S. PTO
09/587529
06/01/00

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

1c406 U.S. PTO
09/587529
06/01/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 6月 4日

出 願 番 号

Application Number:

平成11年特許願第158514号

出 願 人

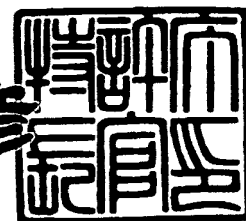
Applicant (s):

富士通株式会社

2000年 3月17日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3016324

【書類名】 特許願

【整理番号】 9900520

【提出日】 平成11年 6月 4日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H04L 12/56

【発明の名称】 パケットデータ処理装置及びそれを用いたパケット中継装置

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 小島 祐治

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 鶴岡 哲明

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【郵便番号】 150

 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

 【電話番号】 03-5424-2511

【手数料の表示】

 【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケットデータ処理装置及びそれを用いたパケット中継装置

【特許請求の範囲】

【請求項 1】 ネットワークから受信したパケットに対しプロセッサを用いて各種処理を行うパケットデータ処理装置において、

複数のレジスタから構成されており、前記受信したパケットを先頭からクロックに同期して前記複数のレジスタ間で順次シフトして外部に伝達し、前記複数のレジスタのいずれかを前記プロセッサから処理のためにアクセスされるパケットデータアクセス機構を

有することを特徴とするパケットデータ処理装置。

【請求項 2】 請求項 1 記載のパケットデータ処理装置において、

複数のレジスタから構成されており、前記受信したパケットに対する処理結果である中間データを前記クロックに同期して前記複数のレジスタ間で順次シフトして外部に伝達する中間データ保持転送機構を

有することを特徴とするパケットデータ処理装置。

【請求項 3】 請求項 1 または 2 記載のパケットデータ処理装置において、

前記パケットのデータを用いて検索され、前記パケットのデータに対応するデータが読み出される検索テーブルを

有することを特徴とするパケットデータ処理装置。

【請求項 4】 請求項 1 または 2 記載のパケットデータ処理装置を用いたパケット中継装置であって

複数のパケットデータ処理装置を直列接続したことを特徴とするパケット中継装置。

【請求項 5】 請求項 4 記載のパケットデータ中継装置において、

直列接続した複数のパケットデータ処理装置からアクセスされ、前記複数のパケットデータ処理装置間でデータを共有する共有レジスタを

有することを特徴とするパケットデータ処理装置。

【請求項 6】 請求項 1 または 2 記載のパケットデータ処理装置において、

前記パケットデータアクセス機構または中間データ保持転送機構を構成する複

数のレジスタに対する外部から伝達されたデータの書き込み位置を変更する書き込み位置変更機構を

有することを特徴とするパケットデータ処理装置。

【請求項 7】 請求項 1 または 2 記載のパケットデータ処理装置において、前記パケットデータアクセス機構または中間データ保持転送機構を構成する複数のレジスタから外部に伝達するデータの読み出し位置を変更する読み出し位置変更手段を

有することを特徴とするパケットデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パケットデータ処理装置及びそれを用いたパケット中継装置に関し、端末と中継装置が相互接続された通信網におけるパケット中継装置において、宛先テーブルの検索やヘッダ書き換え処理等のパケット処理を行うパケットデータ処理装置及びそれを用いたパケット中継装置に関する。

【0002】

【従来の技術】

端末間の通信のためのネットワークの利用の拡大に伴い、ネットワークの規模拡大のためにネットワーク間の中継、例えば LAN (Local Area Network) と LAN、LAN と専用線を相互接続する必要性が生じる。こうして構築されるネットワークで現在主流なのは IP (Internet Protocol) によるネットワークである。IP は ISO (International Organization for Standardization) の OSI (Open Systems Interconnection) モデルにおけるネットワーク層に相当するコネクションレス型のプロトコルである。あらかじめ端末間で通信路を確保するコネクション型のプロトコルと異なり、コネクションレス型の IP 通信では、LAN 間を相互接続するパケット中継装置が、通信データが格納されているパケットを中継処理することによって端末間の通信が実現する。IP ネットワークにおける中継処理は、宛先テーブルの検索やヘッダ書き換え処理といった、パケット処理が必要になる。

【0003】

IPネットワークにおけるパケット処理は、パケット・ヘッダのチェックサムの計算、宛先テーブルの検索、パケット・ヘッダの書き換え等のパケットを中継するのに必要な処理に加え、ネットワークにおける通信を制限するためのパケットフィルタリングの実装が求められる。これを専用のハードウェアで行うには煩雑であり、従来はプロセッサによってソフトウェア処理していた。

【0004】

図1は、プロセッサによってパケット処理を行う従来装置の構成図を示している。従来の構成では、図1で示すように、プロセッサ10とメモリ11をバス12によって接続し、このような構成においてプロセッサ10がメモリ11内に格納したパケットに関する処理を実行することによって、パケット中継装置においてパケット処理が実行される。

【0005】

図2に示すパケット中継装置14は、図1に示すプロセッサ10とメモリ11を組み込む構成を取り、パケットを中継する。パケット中継装置14はパケットを中継するのにあたって、受信インタフェース15でパケットを受信した後、その受信パケットを一時的にメモリ11へ格納し、プロセッサ10によって、チェックサムの計算、宛先テーブルの検索、パケット・ヘッダの書き換え等のパケット処理を受信パケットに対して行った後に、決定した宛先情報等のパケットに付随する情報と共にスイッチ・ファブリック16にパケットを送る。

【0006】

そして、パケット中継装置14は、スイッチ・ファブリック16から、決定した宛先に従って、適切な送信インタフェース17にパケットを送り、送信インタフェース17からLANにパケットを送出する。このようにして、パケット中継装置14はパケットを中継する。

上記のパケット中継装置におけるパケット中継処理のなかで、図1で示されるプロセッサは、まず、受信したパケットデータを一時的にメモリ11に格納し、格納したパケットデータを、プログラムを構成する命令に従って、必要なとき必要な部分を汎用レジスタ21にデータ転送する。次にプロセッサは、汎用レジス

タ 2 1 に格納したパケットデータに関して、テーブルの検索、パケット・ヘッダ・チェックサムの計算、パケット・ヘッダの宛先アドレスの書き換え等を命令に従って順次行った後、必要に応じて汎用レジスタ 2 1 に格納したパケットデータをメモリ 1 1 に格納し、その後、プロセッサ 1 0 は、処理を施したパケットをメモリ 1 1 から送り出す。

【0 0 0 7】

テーブルの検索、パケット・ヘッダ・チェックサムの計算、パケット・ヘッダの宛先アドレスの書き換えのようなパケット処理に用いるようなプロセッサは、一般にパケットデータを格納し、演算対象のデータや演算結果を保持するバッファとなる汎用レジスタ 2 1 (例えば、r0からr7の8 個ある)、汎用レジスタ 2 1 に併設されデータの出力または入力対象となるレジスタを選択するセレクタ、データ転送・比較・演算を命令に従って実行する演算器 2 2、命令を解釈しプロセッサ内の各構成要素に制御信号を与える制御部 2 3、現在実行している命令のプログラム内の位置を保持するプログラム・カウンタ 2 4、演算の結果を評価するためのフラグレジスタ 2 5、外部バスインタフェース 2 6、外部バスバッファ 2 7を有する。プロセッサは、外部から読み込んだ命令に従って、上記の構成要素を駆動することによって、パケット処理を実行する。

【0 0 0 8】

一方、近年、ネットワークの高速化／大容量化に伴い、パケットの中継処理についても一層の高速化が求められている。そこで、プロセッサを用いたソフトウェア処理によるパケット処理では処理性能的に不十分なため、パケット処理を専用のハードウェア回路で高速に実行する方法が開発され実装されている。しかし、専用回路では、プロトコルの改訂やネットワークとして提供するサービス機能向上のための機能の変更を容易に行うことはできず、単なる専用回路化では、その都度新たなハードウェアを開発する必要があるという問題点がある。

【0 0 0 9】

これに対して、プロセッサによるパケット処理は、上記のように命令、つまりソフトウェアによってプロセッサを駆動して実行するゆえ、装置完成後のプロトコルの改訂やネットワークとして提供するサービス機能向上のための機能の変更

等に容易に対応できる高い柔軟性を持っている。

このように高い柔軟性を有する従来のプロセッサによるパケット処理は、プロセッサとメモリ、およびプロセッサとメモリをつなぐバスによって構成した回路によって処理され、プロセッサは、パケットデータを、プロセッサとメモリ間でデータ転送している。

【0010】

【発明が解決しようとする課題】

しかしながら、従来のプロセッサを用いたパケット処理では、パケットデータを一時的に格納するメモリに対する読み出し／書き込み処理のため、パケット処理の高速化が難しいという問題点があった。

すなわち、プロセッサを用いたパケット処理では、パケットデータをメモリへ格納し、それをプロセッサが適時読み出してパケットの内容に応じた処理を実行し、パケットデータおよびその処理結果をメモリに書き込む。プロセッサは、メモリに対し読み出しアドレスを与えてから、メモリからデータを読み出す。同様にプロセッサは、メモリに対し書き込みアドレスを与えてから、メモリにデータを書き込む。このとき、プロセッサがメモリにアドレスを与えてから、データを読み出し／書き込み可能になるまでに、プロセッサのサイクルタイムと比較して時間がかかる。

【0011】

また、逐次実行型のプロセッサは、同時に実行できる処理が単一であり読み出し動作と書き込み動作を同時に実行できないこと、およびメモリに関しても読み出しと書き込みの同時動作ができる回路は作りにくいことに起因して、通常メモリに対して、プロセッサは読み出しと書き込みを同時に行うことができない。以上のようなメモリへの読み出し／書き込み処理のオーバーヘッドがプロセッサとメモリ間のパケットデータのデータ転送において問題となり、パケット処理を高速に行うことができなかった。

【0012】

本発明は、上記の点に鑑みなされたものであり、プロセッサによるメモリへの読み出し／書き込み処理のオーバーヘッドを解消でき、高速なパケット処理が可能

なパケットデータ処理装置及びそれを用いたパケット中継装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

請求項1に記載の発明は、ネットワークから受信したパケットに対しプロセッサを用いて各種処理を行うパケットデータ処理装置において、

複数のレジスタから構成されており、前記受信したパケットを先頭からクロックに同期して前記複数のレジスタ間で順次シフトして外部に伝達し、前記複数のレジスタのいずれかを前記プロセッサから処理のためにアクセスされるパケットデータアクセス機構を有する。

【0014】

このように、受信したパケットを先頭からクロックに同期して複数のレジスタ間で順次シフトして外部に伝達するパケットデータアクセス機構を有するため、パケットデータをレジスタに取りこみシフトして送出することを命令手順とは独立して行い、それを見込んだプロセッサの命令手順を実行することによって、柔軟性を有しながら高速にパケット処理を実行することができる。

【0015】

請求項2に記載の発明は、請求項1記載のパケットデータ処理装置において、複数のレジスタから構成されており、前記受信したパケットに対する処理結果である中間データを前記クロックに同期して前記複数のレジスタ間で順次シフトして外部に伝達する中間データ保持転送機構を有する。

このように、受信したパケットに対する処理結果である中間データをクロックに同期して複数のレジスタ間で順次シフトして外部に伝達する中間データ保持転送機構を有するため、中間データをレジスタに取りこみシフトして送出することを命令手順とは独立して行い、それを見込んだプロセッサの命令手順を実行することによって、柔軟性を有しながら高速にパケット処理を実行することができる。

【0016】

請求項3に記載の発明は、請求項1または2記載のパケットデータ処理装置に

において、

前記パケットのデータを用いて検索され、前記パケットのデータに対応するデータが読み出される検索テーブルを有する。

このように、パケットのデータを用いて検索される検索テーブルを有するため、パケット処理に必要なインタフェース番号等の情報を得ることができる。

【0017】

請求項4に記載の発明は、請求項1または2記載のパケットデータ処理装置を用いたパケット中継装置であって

複数のパケットデータ処理装置を直列接続した。

このように、複数のパケットデータ処理装置を直列接続したことにより、複数のパケットデータ処理装置によるパイプライン処理を実行することが可能となり、パケット処理を高速に実行することができる。

【0018】

請求項5に記載の発明は、請求項4記載のパケットデータ中継装置において、

直列接続した複数のパケットデータ処理装置からアクセスされ、前記複数のパケットデータ処理装置間でデータを共有する共有レジスタを有する。

このように、複数のパケットデータ処理装置間でデータを共有する共有レジスタを有するため、複数のパケットデータ処理装置と共有レジスタを使用して、平行に同時処理することができ、より高速にパケット処理を実行することができる。

【0019】

請求項6に記載の発明は、請求項1または2記載のパケットデータ処理装置において、

前記パケットデータアクセス機構または中間データ保持転送機構を構成する複数のレジスタに対する外部から伝達されたデータの書き込み位置を変更する書き込み位置変更機構を有する。

【0020】

このように、パケットデータアクセス機構または中間データ保持転送機構のレジスタに対する外部から伝達されたデータの書き込み位置を変更する書き込み位

置変更機構を有するため、パケットの各部分がパケット処理プロセッサ内にとどまっている時間を調節し短くすることができる。

請求項 7 に記載の発明は、請求項 1 または 2 記載のパケットデータ処理装置において、

前記パケットデータアクセス機構または中間データ保持転送機構を構成する複数のレジスタから外部に伝達するデータの読み出し位置を変更する読み出し位置変更手段を有する。

【 0 0 2 1 】

このように、パケットデータアクセス機構または中間データ保持転送機構のレジスタから外部に伝達するデータの読み出し位置を変更する読み出し位置変更手段を有するため、次段に向けて出力したデータも引き続きパケットデータアクセス機構または中間データ保持転送機構に残り、この残ったデータを参照することができる。

【 0 0 2 2 】

【発明の実施の形態】

本発明では、パケットデータを直接取りこむパケットアクセスレジスタをプロセッサ内に設けることによって、高速にパケットデータにアクセスするパケットデータアクセス機構を構築し、プロセッサとメモリ間のパケットデータに関するメモリへの読み出し／書き込み処理のオーバーヘッドを解消する。これによって高い柔軟性を有するプロセッサを用いたパケット処理において、高速なパケット処理を実現する。

【 0 0 2 3 】

図 3 は、本発明装置のパケット処理プロセッサの第 1 実施例のブロック図を示す。図 4 に図 3 のパケット処理プロセッサのデータ転送動作原理図を示す。

図 3 において、パケット処理プロセッサ 3 0 には、パケットデータを直接取りこみ、このデータに高速にアクセスするためのパケットデータアクセス機構としてパケットアクセスレジスタ（例えば、8 個のレジスタ p0 ～ p7）3 2 を設けている。また、パケットデータに付随するパケットデータに対する処理結果として、外部ヘデータを伝達したり、このようなデータを受信インタフェース等の前段の

処理部から受け取ったりする必要があるので、パケットデータに付随するパケットデータに対する処理結果データ、すなわち中間データを外部より受け取って保持し、そして、外部に伝達するための中間データ保持転送機構として、中間データレジスタ（例えば、8個のレジスタe0～e7）34を設けている。

【0024】

パケット処理プロセッサ30は、パケットデータを受信インタフェースよりパケットアクセスレジスタ32に取りこみ、パケットアクセスレジスタ32からパケットデータを送出する。さらにパケット処理プロセッサ30は、受信インタフェースから処理結果を中間データレジスタ34に取りこみ、中間データレジスタ34から処理結果を送出する。パケット処理プロセッサ30が、受信インタフェースから取りこむ処理結果としては、例えば、パケットアクセスレジスタ32に取りこむパケットを受信した受信インタフェース番号であり、パケット処理プロセッサ30が送出的る処理結果としては、例えば、ヘッダチェックサムの計算結果等である。

【0025】

パケットデータおよび処理結果をパケット処理プロセッサ外部から取りこみ、転送するデータ転送手順に関して、パケット処理プロセッサ30は、クロックに同期して順次、パケットアクセスレジスタ32および中間データレジスタ34にパケットの各部分および処理結果を格納し、クロックに同期して順次、パケットアクセスレジスタ32および中間データレジスタ34のレジスタ群内の隣のレジスタにシフトする。

【0026】

図4は、図3のパケット処理プロセッサ30において、パケットアクセスレジスタ32と中間データレジスタ34に関して、それぞれパケットデータと処理結果のデータがクロック単位時間毎に移動していく様子を示している。図4（A），（B），（C），（D），（E）それぞれは、1，2，3，4，17クロック時間それぞれにおいて、パケット処理プロセッサ30がレジスタに格納しているデータの内容を示しており、例えば同図（B）は、同図（A）から時間的に1クロック進んだ状態である。

【 0 0 2 7 】

同図 (A) において、パケット処理プロセッサ 3 0 は、パケット A の各部分 (a 0 から a 9) を、まだパケットアクセスレジスタ 3 2 に格納していない。時間的に 1 クロックが進んだ状態である同図 (B) において、パケット処理プロセッサ 3 0 は、パケット A を一つシフトして、パケットアクセスレジスタ 3 2 のレジスタ p 7 にパケット A の a 0 の部分を格納する。さらに同図 (C) においては、パケット処理プロセッサ 3 0 は、パケットアクセスレジスタ 3 2 の p 7 に格納した a 0 を p 6 に移動し、パケットアクセスレジスタ 3 2 の p 7 にパケット A の a 0 の次の部分 a 1 を格納する。

【 0 0 2 8 】

同図 (D) においては、パケット処理プロセッサ 3 0 は、同様にクロックに同期して、パケット A の各部分を隣のレジスタへシフトする。さらに、同図 (D) の状態より 1 3 クロック分進んだ同図 (E) においては、パケット処理プロセッサ 3 0 は、パケット A の一部をパケットアクセスレジスタ 3 2 の p 0 より既に送出しており、パケット A の次のパケットであるパケット B の一部分をパケットアクセスレジスタへ格納している。パケット処理プロセッサ 3 0 は、中間データレジスタ 3 4 に関しても同様に、格納したデータをクロックに同期してシフトして行き、例えば、同図 (C) において、パケット処理プロセッサ 3 0 は中間データレジスタ 3 4 の e 7 に格納したデータを同図 (D) において中間データレジスタ 3 4 の e 6 に移動する。

【 0 0 2 9 】

ところで、プロセッサ内にすべての各パケットの先頭から終わりまで格納する容量を持つレジスタを構築することは回路規模が大きくなり難しい。それに対して、パケット処理におけるパケットデータのアクセスに関しては、局所性が存在し、例えば、パケット処理プロセッサ 3 0 がパケット A の a 0 と a 9 を同時に参照する可能性は低い。したがって、上記のような動作をするパケットアクセス機構および中間データ保持転送機構の各レジスタ数は、パケット処理を行うにあたって必要最小限 (例えば 8 個) で済み、パケット処理プロセッサ 3 0 内に構築することが可能となる。

【 0 0 3 0 】

また、パケットデータに関する処理結果を保持し外部に転送する中間データレジスタ 3 4 の内容をパケットアクセスレジスタ 3 2 と同期して、シフトしていくことによって、例えば図 4 (E) に示されるように、パケット処理プロセッサ 3 0 の後続の処理部は、パケットの先頭が到着してから 1 クロック後に、そのパケットに関する属性情報が到着すると判断をすることができ、パケット中継装置は、パケットデータとその処理結果を格納している場所の各対応関係を示す特別な機構を有する必要が無くなり、これを構築しなくて済む。

【 0 0 3 1 】

上記のパケット処理プロセッサ 3 0 がパケットアクセスレジスタ 3 2 および中間データレジスタ 3 4 に格納したデータをクロックに同期して移動する回路構成について説明する。図 3 において、パケット処理プロセッサ 3 0 は、パケットアクセスレジスタ 3 2 の各レジスタを、隣接する一つ番号が小さいレジスタとセレクタを介して接続し、パケット処理プロセッサ 3 0 の外部のクロック信号発生器がパケット処理プロセッサ 3 0 に与えるクロック信号に同期して、隣接の一つ番号が小さいレジスタへ内容を転送する。

【 0 0 3 2 】

さらに、パケット処理プロセッサ 3 0 は、パケットアクセスレジスタ 3 0 の p7 に外部より直接パケットデータを格納し、p0 から直接パケットデータを送出する。このとき、パケットデータの先頭がパケット処理プロセッサ 3 0 へ到着した時点で、パケット中継装置の受信インタフェースがパケット処理プロセッサ 3 0 にパケット到着信号を与え、パケット処理プロセッサ 3 0 はこれを合図に、予め装置設計者が用意し、メモリ等に格納した命令手順に従って、パケットに対してパケット処理を行う。

【 0 0 3 3 】

上記のパケット到着信号によって、パケット処理プロセッサ 3 0 は、不定期にパケットがパケット中継装置に到着したタイミングを知ることができ、パケットが到着した時点処理の手順の初めとして命令手順を実行する。パケットアクセスレジスタ 3 2 の各レジスタ間に介在しているセレクタは、演算器が処理結果を

パケットヘッダに反映するための書き込み動作を行うときに、転送先となるレジスタに演算器 35 からの書き込みデータを選択し、それ以外の場合は、隣接する一つ番号が大きいレジスタの内容を選択し、パケットアクセスレジスタ 32 がシフトレジスタを構成するようにする。

【0034】

中間データレジスタ 34 もパケットアクセスレジスタ 32 と同様の機構を有しており、パケット処理プロセッサ 30 は、直接パケットデータに付随する処理結果を前段の受信インタフェースより中間データレジスタ 34 の e7 に取り込み、中間データレジスタ 34 の e0 より、これを後段のスイッチファブリックに向けて送出する。

【0035】

パケット処理プロセッサ 30 は、パケットアクセスレジスタ 32 および中間データレジスタ 34 を、メモリとバスという構成ではなく、パケット処理プロセッサ 30 内で図 3 のように直接結線しており、パケット処理プロセッサ 30 のサイクルタイムで、パケットアクセスレジスタ 32 および中間データレジスタ 34 の内容を読み出し／書き込むことが可能である。この結果、パケット処理プロセッサ 30 は、パケットデータの読み出し／書き込みのためのオーバヘッドを解消でき、高速に読み出し／書き込み処理を行うことができる。

【0036】

さらに、パケット処理プロセッサ 30 は、パケットアクセスレジスタ 32 の各レジスタ間および中間データレジスタ 34 の各レジスタ間のデータ移動をパケット処理プロセッサ 30 に備わっている命令、例えばデータ転送命令で行うのではなく、命令手順とは関係なく独立にパケット処理プロセッサ 30 のクロックによって常時移動するので、パケット処理プロセッサ 30 は、上記のデータ移動と同時に演算処理等を実行することができる。このとき、パケット処理プロセッサ 30 は、命令手順とは関係なく各レジスタの内容を書きかえることになるが、上記のようにパケット到着時には受信インタフェースがパケット到着信号をパケット処理プロセッサ 30 に与え、かつ、パケットアクセスレジスタ 32、中間データレジスタ 34 のデータ移動をクロックに同期して行い、さらに、命令手順の各命

令がそれぞれ一定クロック数で終了するような命令のみを具備するパケット処理プロセッサ30とすることによって、命令手順の記述者は、各時点でパケットアクセスレジスタ32および中間データレジスタ34にパケットデータまたは処理結果のどの部分を格納しているか判断することができる。

【0037】

したがって、パケットデータおよびその処理結果が格納されている各レジスタの内容が命令手順とは関係なく書きかわっても、命令手順の記述者が、各時点で各レジスタに格納されている内容を判断して、これを見込んで命令手順を記述することによって、命令手順によるパケットデータおよびその処理結果に対するパケット処理を行うことができる。

【0038】

上記のように、パケットデータおよびその処理結果を直接読み取り／書き込みする機構を設け、さらにこの機構におけるデータ転送を命令手順とは独立に行うことによって、パケットデータの読み出し／書き込みのためのオーバヘッドを解消し、命令手順に従った高い柔軟性を有する高速なパケット処理を行うことができる。

【0039】

図5は、本発明装置のパケット処理プロセッサの第1実施例のブロック図を示す。図5においては、パケットアクセスレジスタ32、中間データレジスタ34について図3より簡略化している。図6は、このパケット処理プロセッサをパケット中継装置に組み込んだ実施例を示す。また、図7はパケット処理プロセッサ30が備える命令セットの実施例を示し、図8はパケット処理プロセッサ30がパケット処理を実行するときの命令手順を図7の命令セットを用いて記述した実施例であり、パケット処理プロセッサ30がパケット処理を実行するときのデータ転送の動作例である。

【0040】

パケット処理の具体例として、図5に示すような32ビット×16ワードのパケットデータを直接取りこむためのレジスタであるパケットアクセスレジスタ32とパケットデータに関する処理結果を保持し、伝達するためのレジスタである

中間データレジスタ 34 を有する構成をとるパケット処理プロセッサ 30 が実行するパケット処理の一つのアプリケーションであるヘッダチェックサム計算処理を実行する手順を説明する。

【0041】

図 5 において、パケット処理プロセッサ 30 は、パケットデータを直接取りこむためのレジスタであるパケットアクセスレジスタ 32 とパケットデータに関する処理結果を保持し、伝達するためのレジスタである中間データレジスタ 34 を備え、パケット処理を実行する。パケット処理プロセッサ 30 は内部でデータを扱うときの基本的な単位である 1 ワードが 32 ビットのアーキテクチャを有しており、汎用レジスタ 36 のレジスタ r0~r7、中間データレジスタ 34 のレジスタ e0~e7、およびパケットアクセスレジスタのレジスタ p0~p7 は、それぞれ 32 ビット長とする。

【0042】

パケット処理プロセッサ 30 は図 7 に示される命令セット（命令の種類）を有しており、パケット処理プロセッサ 30 は各命令を図 8 に示す命令手順に従って実行する。図 8 において、各命令を記述するとき用いる命令フォーマットに関しては、「MOVE」等で表現する命令ニモニックの前に必ず「A」や「≠」等の条件コードを付加している。この条件コードと直前の命令の演算結果の評価が一致したならば、パケット処理プロセッサ 30 は、該当する命令を実行する。

【0043】

例えば、パケット処理プロセッサ 30 が実行した直前の命令の演算結果が 0 であり、パケット処理プロセッサ 30 が現在実行しようとしている命令の条件コードが「=」（=0）ならば、この条件コードが「=」の命令を実行し、演算結果が 0 以外ならばパケット処理プロセッサ 30 は、条件コードが「=」の命令を実行せずに、クロックのみを消費する。条件コードとしては、例えば、=(0 と等しい), ≠(0 と等しくない), <(0 より小さい), >(0 より大きい), A(Always; 常に実行) があり、直前の演算結果に対し、条件コードを評価可能な数の各フラグをフラグ・レジスタ 37 に備えるようにする。

【0044】

また、フラグ・レジスタ 37 には演算の結果のキャリーを保持するキャリーフラグを設ける。演算命令のフォーマットは、3 つのオペランドを持つときは、「条件コード、命令ニモニク、ディスティネーション・オペランド、ソース・オペランド 1、ソースオペランド 2」となり、2 つのオペランドを持つときは、「条件コード、命令ニモニク、ディスティネーション・オペランド、ソース・オペランド 1」となる。

【0045】

パケット処理プロセッサ 30 がメモリ等から読み出す命令手順は、例えば、パケット中継装置の設計者が記述し、パケット中継装置のメモリ等に格納する。そして、例えば、パケット中継装置の電源投入時にメモリ等が命令手順をパケット処理プロセッサ 30 に与え、パケット処理プロセッサ 30 はその命令手順の各命令を制御部 38 内の命令デコーダ 39 によってデコードし、その結果をパケット処理プロセッサ内の制御部 38 で保持する。したがって、パケット処理プロセッサ 30 が、パケット処理中に命令の読み込み等でクロックを消費することはなく、図 7 で示した各命令をパケット処理プロセッサ 30 は、一定クロック数（一定クロック周期）で実行する。

【0046】

図 5 において、パケット処理プロセッサ 30 は、図 5 中のパケット C のような、LAN の伝送路の規格の一つである Ethernet 上で IP によって通信を行っていると、パケットに対して例えば IP ヘッダチェックサム計算を実行する。この処理は、IP ヘッダが伝送路上を誤りなく伝送されたかを検査する処理である。パケットがパケット処理プロセッサ 30 に到着するときは、図 6 に示すパケット処理プロセッサ 30 の前段にあるビットアライメント整合送出器 40 が、図 5 中のパケット C の IP ヘッダを 32 ビットのアライメントに合うようにして、このパケット C をパケット処理プロセッサ 30 に送り出し、パケット処理プロセッサ 30 は、このパケットを受け取る。

【0047】

図 6 中、ビットアライメント整合送出器 40 は、受信インタフェース 42 からの 16 ビットの入力に対して、それをパケット C の IP ヘッダがちょうどアライ

メントが取れるように32ビットにして、パケット処理プロセッサ30に送出する。以降、図5中のパケットCの各部分を図5中に示されるように先頭からc0～c16と称し、図8の右側のカラムに示す「パケットアクセスレジスタに格納されているパケットCの部分」を表現するためにも、この表記法を使用する。IPヘッダチェックサム計算は、IPヘッダを32ビットワードの並びと見なし、それぞれの和を1の補数法で計算し、その結果の上位16ビットと下位16ビットを16ビットワード単位で加算し、その結果の1の補数が0であれば、IPヘッダは誤り無しとする。

【0048】

ビットアライメント整合送出器40がパケット処理プロセッサ30にパケットの先頭を送出すると、ビットアライメント整合送出器40はパケット到着信号をパケット処理プロセッサに与え、パケット処理プロセッサ30は図8の命令手順の順序1より順に命令を実行する。パケット処理プロセッサ30は各命令をすべて一定クロック数で実行する。パケット到着後、パケット処理プロセッサ30は、初めEthernetヘッダを順にパケットアクセスレジスタp7に格納し、5クロック目でIPヘッダの先頭c4をパケットアクセスレジスタp7に格納する。このデータ移動に関しては、パケット処理プロセッサ30は命令手順とは独立にパケット処理プロセッサのクロックにより常時命令手順とは無関係に実行する。

【0049】

パケット処理プロセッサ30がIPヘッダの先頭c4をp7に格納するまでの命令手順の順序1～4の間は、パケット処理プロセッサ30は何もせずに待ち、5クロック目でパケットアクセスレジスタ32p7の内容c4を汎用レジスタ36のレジスタr0にデータ転送する。次のクロックでパケット処理プロセッサ30は、p7の内容とr0の内容を加算し、その結果をr0に格納する。このとき、パケット処理プロセッサ30は、直前のクロックでp7に入っていたIPヘッダの先頭c4をp6に移動しており、p7に次のc5を格納している。すなわち、命令手順の順序6の命令は、IPヘッダの先頭c4およびその次のc5を加算し、r0に格納することと同等となる。

【0050】

次の命令手順の順序7 では、パケット処理プロセッサ 3 0 は、p7に格納したc6とr0の内容を加算し、さらに上記のように和を1の補数法で計算するために、順序6 の加算のキャリーを加算した結果をr0に格納する。同様に命令手順8,9 で、パケット処理プロセッサ 3 0 は、さらに I Pヘッダのc7とc8をr0に加算し、命令手順の順序10では、即値0(図 8 中で「\$0」と表現し、レジスタ名ではなく値そのものを記述する)と、r0と、順序9 の命令の加算のキャリーを加算し、結果をr0に格納する。以上の加算によって、I Pヘッダを32ビットワードの並びと見なし、それぞれの和を1の補数法で計算した結果を汎用レジスタ 3 6のレジスタr0に格納したことになる。

【0051】

さらに、命令手順の順序11でパケット処理プロセッサ 3 0 は、r0の内容をr1にデータ転送し、順序12でr0の内容を16ビット分下位にシフトすることによって、加算した結果の上位16ビットと下位16ビットをそれぞれr0とr1に格納する。命令手順の順序13でパケット処理プロセッサ 3 0 は、16ビットのワード単位でr0とr1を加算した結果をr0に格納し、命令手順の順序10でパケット処理プロセッサ 3 0 は、16ビットワード単位でr0の1の補数をとる。命令手順の順序11では、命令ニモニク「MOVE」の前の条件コードが「≠」なので、パケット処理プロセッサ 3 0 は、直前の順序10の命令の結果が0でなかったならば、中間データレジスタe0に即値1を格納する。

【0052】

次のクロックでは、パケット処理プロセッサ 3 0 は、e0の内容をパケット処理プロセッサ 3 0の外に送出するので、これによって、パケットデータに付随する情報として、I Pヘッダチェックサム計算の結果をパケット処理プロセッサ 3 0外に伝達することができ、パケット処理プロセッサ 3 0 は、パケットの先頭の到着から9クロック目の中間データレジスタ 3 4の内容が1ならば、I Pヘッダに誤りがあることを判別することができる。

【0053】

図 6 に示すパケット中継装置 4 1 は、受信インタフェース 4 2 でパケットを受信した後、その受信パケットをビットアラインメント整合送出器 4 0 で整合して

パケット処理プロセッサ 30 に供給し、ここでチェックサムの計算、宛先テーブルの検索、パケット・ヘッダの書き換え等のパケット処理を受信パケットに対して行った後に、決定した宛先情報等のパケットに付随する情報と共にスイッチ・ファブリック 44 にパケットを送る。そして、パケット中継装置 41 は、スイッチ・ファブリック 44 から決定した宛先に従って、適切な送信インタフェース 45 にパケットを送り、送信インタフェース 45 から LAN にパケットを送出してパケットを中継する。

【0054】

以上のような、クロックに同期したレジスタ間のデータ移動を見込んだ命令手順をパケット処理プロセッサ 30 が実行することによって、パケット処理プロセッサ 30 はパケット処理のアプリケーションの一つである IP ヘッダチェックサム計算を実行し、その結果をパケット処理プロセッサ外に伝達することができる。

【0055】

このように、パケット処理プロセッサ 30 がパケットデータおよびその処理結果をレジスタに直接取りこみシフトして送出することを命令手順とは独立して、それを見込んだ命令手順を実行することによって、命令手順を変えれば様々な処理を実行することができるという命令特有の柔軟性を有しながら、高速にパケット処理を実行することができる。

【0056】

上記実施例は、パケット処理のアプリケーションの一つである IP ヘッダチェックサムの実行例であるが、命令手順を変更し、上記と同様にパケットデータおよび処理結果に関する処理をパケット処理プロセッサ 30 が実行することによって、他のパケット処理も上記と同様にパケット処理プロセッサ 30 は実行することが可能である。

【0057】

上記実施例では、図 6 中でパケット処理プロセッサ 30 より前の処理段階にビットアライメント整合送出器 40 があったが、ビットアライメントの整合を取る処理をパケット処理プロセッサ 30 がパケット処理とともに命令によって実行し

ても、上記と同様にパケット処理を実行することが可能である。命令手順をパケット処理プロセッサ30に与え、それを保持する方法としては、上記実施例以外の例えば命令のデコード結果を外部から与える方法や、プロセッサ外部の専用のメモリに保持する方法等があり、いずれの方法にしても、1クロックに限らず一定クロック数で各命令が終了する限り、パケットデータのデータシフト機構と命令手順の同期が取れ、上記と同様にパケット処理プロセッサ30はパケット処理を高速に実行することができる。

【0058】

また、上記実施例では、パケット処理プロセッサ30の駆動クロックスピードとパケットアクセスレジスタ32と中間データレジスタ34のデータシフト機構の駆動クロックスピードが同一のクロックスピードとなっていたが、パケット処理プロセッサ30の駆動クロックスピードを外部の回路に対して2倍として、データの取りこみ及びデータのシフトおよびデータの送出をプロセッサの駆動クロックの2回に1回実行するようにしても、命令手順でそのことを見込むことによって、上記と同様にパケット処理を高速に実行することができる。駆動クロックに関しては、パケット処理プロセッサとデータシフト機構を同期するようにすれば、倍率に関係なく、上記実施例と同様にパケット処理プロセッサ30はパケット処理を高速に実行することができる。

【0059】

上記実施例では、パケット処理プロセッサがパケットアクセスレジスタにパケットデータの实体を格納し、パケットアクセスレジスタ内を移動するようにしているが、実際にパケットアクセスレジスタに格納するものは、パケットデータの实体に限定されず、パケットデータを指し示すポインタを格納しても良い。

また、上記実施例では、パケットアクセスレジスタ内のデータの移動に関して、クロックに同期して各レジスタ間をパケットデータが移動するような構成としているが、パケットデータが移動するのではなく、命令で指定するレジスタ名が例えば同じp0であっても、命令を実行するクロックサイクルに応じてセレクトが選択するレジスタを順次変更することによって、パケットアクセスレジスタ内のパケットデータの移動を実現しても良い。

【0060】

図9は、本発明装置の packets 処理プロセッサの第2実施例のブロック図を示す。図9の packets 処理プロセッサは、中間データレジスタ34を具備せず、パケットアクセスレジスタ32を具備する形態を有し、そのような形態であっても処理可能な packets 処理を実行する。中間データレジスタ34は、パケットデータに付随する packets データに対する処理結果や packets データに関する属性情報を packets 処理プロセッサ30の外部に伝達すること、および packets 処理プロセッサ30外部から受信することを可能とする機構であるが、packets 処理プロセッサ30が実行する packets 処理の内容によっては、中間データレジスタがなく、パケットアクセスレジスタ32があることによって、packets 処理プロセッサ30は packets 処理を実行することができる。

【0061】

packets 処理の内容が packets データを読み込み、読み込んだ packets データに対する処理を実行し、処理結果を packets データのみに反映させる処理であるならば、パケットアクセスレジスタ32のみによって、packets 処理を実行することが可能である。例えば、このような処理としては、packets 処理の一つのアプリケーションである IP ヘッダチェック再計算がある。IP ヘッダチェック再計算は、IP ヘッダチェックサム計算とは逆に、IP ヘッダを読み込み、計算したチェックサム値を IP ヘッダのチェックサムフィールドに書き込む処理であるので、packets データに付随する packets データに対する処理結果や packets データに関する属性情報を packets 処理プロセッサ30外に伝達したり、packets 処理プロセッサ30外部から受信する必要は無く、この IP ヘッダチェックサム再計算を、packets 処理プロセッサ30はパケットアクセスレジスタ32があれば実行することができる。

【0062】

図10は、本発明装置の packets 処理プロセッサの第3実施例のブロック図を示す。図10に示すように packets 処理プロセッサ30内に宛先テーブル等を格納する検索メモリ50を構築する。packets 処理プロセッサ30は、プロセッサ内の検索メモリ50を検索することにより、packets ヘッダ内の宛先アドレスに

従って送出インタフェース、すなわち送出するLANを判断する等のパケット処理を実行する。

【0063】

パケット処理プロセッサ30は、検索メモリ50に、パケットヘッダのアドレスに対する出力先のような対応関係を示すテーブルを格納し、パケット処理において、このテーブルを検索することにより、パケット処理プロセッサ30は、パケット処理に必要なパケットを送出するインタフェース番号等の情報を得ることができる。例えば、検索メモリ50にEthernetヘッダの宛先アドレス(図10に示すパケットCにおけるDA: Destination Address)に対する送出インタフェース番号を示すテーブル(フォワーディング・テーブル)を格納し、宛先アドレスを検索キーとして、検索メモリ50を検索することによって、その宛先アドレスを保持するパケットを送出するインタフェース番号を得ることができる。

【0064】

図10において検索メモリ50は、1エントリが64ビットの構成を取り、その検索動作は、パケット処理プロセッサ30が検索キーの内容を検索キーレジスタ51, 52(k0,k1)に命令に従ってセットすると、検索メモリ制御部54が命令手順とは独立に検索メモリ50の各エントリと、検索キーレジスタ51, 52の内容とを比較し、検索キーレジスタ51, 52の内容に該当するエントリの内容をヒットコンテンツ・レジスタ55, 56(h1,h2)に出力する。また、検索メモリ制御部54は、該当するエントリが存在したか否かの情報を検索フラグレジスタ58(hf)に出力する。

【0065】

このとき、パケット処理プロセッサ30が、命令手順によってパケット処理を行うためには、検索メモリ50が格納しているエントリ数に関係なく(エントリ数が増えても)、パケット処理プロセッサ30は必ず一定クロック数で検索結果を得ることが必要である。上記の検索が一定クロック数で終了せずに、パケット処理プロセッサ30が一定クロック数で検索結果を得ることができないと、データ移動と命令手順が同期せず、ある時点でパケット処理プロセッサ30が各レジスタに何のデータを格納したか、命令手順の記述者は、判断することができない

。したがって、検索メモリ制御部 5 4 は、検索メモリ 5 0 の各エントリと検索キーレジスタ 5 1, 5 2 の内容との比較を一エントリずつではなく、検索キーと全エントリを平行に同時比較するようにする。このような比較を実現するメモリデバイスとしては、例えば、内容アドレスメモリ (CAM : Content Addressable Memory) がある。

【 0 0 6 6 】

このように、パケット処理プロセッサ 3 0 が例えば CAM を用いた検索メモリ 5 0 を検索キーレジスタ 5 1, 5 2 を介してアクセスすることにより、パケットアクセスレジスタ 3 2 および中間データレジスタ 3 4 のデータ移動と同期して、パケット処理プロセッサ 3 0 は検索結果を得ることができるので、命令によってパケットアクセスレジスタ 3 2 および中間データレジスタ 3 4 に、その検索結果を反映させることができる。したがって、図 1 0 に示されるような検索メモリ 5 0 を備えたパケット処理プロセッサによって、テーブルの検索を行うパケット処理を実行することができる。

【 0 0 6 7 】

上記実施例においては、検索メモリ 5 0 の 1 エントリが 6 4 ビット長で、検索キーレジスタ 5 1, 5 2 が 3 2 ビット長で 2 個、検索結果を得るレジスタ 5 5, 5 6 が 3 2 ビット長で 2 個、検索結果の状態を知るレジスタ 5 8 が 1 個の構成となっていたが、これらの検索メモリ 5 0 のエントリ長やレジスタ数等が変わっても、パケット処理プロセッサ 3 0 が一定クロック数で検索結果を得ることができ、パケットアクセスレジスタ 3 2、中間データレジスタ 3 4 データ移動と同期することが可能な検索メモリ 5 0 機構である限り、上記と同様にパケット処理プロセッサ 3 0 がパケット処理を実行することが可能である。

【 0 0 6 8 】

図 1 1 は、本発明装置のパケット処理プロセッサ 3 0 を用いたパケットデータ処理装置の第 1 実施例の構成図を示す。図 1 1 では 3 個のパケット処理プロセッサ 3 0 A, 3 0 B, 3 0 C を直列に接続し、パケット処理プロセッサ 3 0 A, 3 0 B の中間データレジスタ 3 4 およびパケットアクセスレジスタ 3 2 からのデータ送出先を、次のパケット処理プロセッサ 3 0 B, 3 0 C のデータ入力としてパ

ケット処理を実行する。これら3個のケット処理プロセッサ30A, 30B, 30C間を単一の集積回路のチップ内配線によって直接接続し、前段のケット処理プロセッサは1クロックで次段のケット処理プロセッサにデータを転送することができるようにする。

【0069】

図12に上記構成のケットデータ処理装置の各ケット処理プロセッサ30A, 30B, 30Cが実行する命令手順を、通し番号による時系列に沿って記述する。このケット処理は、例えばケット処理プロセッサ30AによるIPヘッダ長チェック、ケット処理プロセッサ30BによるIPヘッダチェックサム計算、ケット処理プロセッサ30CによるTTL (Time to Live) の減算である。

【0070】

IPヘッダ長チェックは、IPヘッダ内のIPヘッダ長フィールド(図11中のケットCの拡大図)に格納されている値が5よりも小さい不正な値になっていないか検査する処理である。IPヘッダチェックサム計算は、前述の処理と同じ処理である。TTLの減算は、IPヘッダ内のTTLフィールド内の値を減らす処理であり、ケットがケット中継装置を通過する度に1つTTLフィールドの値が減らされ、減算した結果が0になったケットについてはケット中継装置で中継しない。これによりケットが網構成の誤り等によって永遠に中継されつづけないようにしている。

【0071】

図11において、初めケット処理プロセッサ30AがケットCを先頭から読み込み、図12のケット処理プロセッサ30Aの命令手順の順序1より順に、ケット処理の一つのアプリケーションであるIPヘッダ長チェックを実行してケットCをケット処理プロセッサ30Bに送出する。次に、ケット処理プロセッサ30BがケットCを先頭から読み込み、図12のケット処理プロセッサ30Bの命令手順の順序1より順に、ケット処理の一つのアプリケーションであるIPヘッダチェックサム計算を実行してケット処理プロセッサ30CにケットCを送出する。次に、ケット処理プロセッサ30CがケットC

を先頭から読み込み、図12のパケット処理プロセッサ30Cの命令手順の順序1より順に、パケット処理の一つのアプリケーションであるTTLの減算を実行する。

【0072】

図12中の通し番号17~23においてパケット処理プロセッサ30Bの命令手順とパケット処理プロセッサ30Cの命令手順は重なっており、この2つのパケット処理プロセッサ30は、この時間において同時にパケットCに関する処理を実行する。IPヘッダ長チェックを実行する図12のパケット処理プロセッサ30Aの命令手順においては、パケットCのIPヘッダのIPヘッダ長フィールドがパケット処理プロセッサ30Aに到着するまでに、パケット処理プロセッサ30Aは、IPヘッダ長フィールドを抽出するためのビットパターンを命令手順の順序2~4の命令によって、汎用レジスタ36のレジスタr1に作成し、命令手順の順序5,6の命令によってIPヘッダ長フィールドをレジスタr0に抽出し、命令手順の順序7の命令によって、最低ヘッダ長の即値5を減じ、命令手順の順序8の命令によって、その結果が負かどうかに応じ中間データレジスタ34に対応する値を書き込む。これによって、パケット処理プロセッサ30Aはチェックした結果をパケット処理プロセッサ外部に伝達する。

【0073】

IPヘッダチェックサム計算処理を実行する図12のパケット処理プロセッサ30Bの命令手順は、図8に示す命令手順と同様であり、パケット処理プロセッサ30Bは、図5に示すパケット処理プロセッサと同様のパケット処理を実行する。

TTLの減算を実行する図12のパケット処理プロセッサ30Cの命令手順においては、パケットCのIPヘッダのTTLフィールドがパケット処理プロセッサ30Cに到着するまでに、パケット処理プロセッサ30Cは、TTL以外のフィールドを抽出するためのビットパターンを命令手順の順序4~6の命令によって汎用レジスタ36のレジスタr3に作成し、命令手順の順序7,8の命令によって、TTLフィールドをレジスタr1に抽出し、命令手順の順序9の命令によって、即値1を減じ、命令手順の順序10の命令によって、その結果が0かどうかに応じ

て、中間データレジスタ 34 に対応する値を書き込む。

【0074】

さらに、命令手順の順序11~13の命令によって、パケット処理プロセッサ 30 Cは、TTLフィールドとそれ以外のフィールドを合わせて、パケットアクセスレジスタ 32 へ格納し、パケットヘッダのTTLフィールドに関する更新を実行する。パケット処理プロセッサ 30 Cは中間データレジスタ 34 に対応する値を書き込んでいるので、例えば次処理段のスイッチ・ファブリック 44 がこの値を受取り、スイッチ・ファブリック 44 がこのパケットを中継しない等の処理を実行することが可能である。

【0075】

上記の命令手順では、一つのパケットCに関してのみの命令手順を述べたが、パケットはある間隔を置いて連続的に到着しており、例えばパケット処理プロセッサ 30 Aの時系列の通し番号20からは、次のパケットDの処理を実行するといった、複数プロセッサによるパイプライン処理を実行することが可能である。また、通し番号17~23においてパケット処理プロセッサ 30 Bとパケット処理プロセッサ 30 Cが同時にパケットCに関する処理を実行しているが、これもある一つのパケットCに関して、2つのパケット処理プロセッサ 30 がパイプライン処理していることになる。

【0076】

このように、図 11 に示されるような複数のパケット処理プロセッサを直列に接続する構成を取り、図 12 に示されるような命令手順で各パケット処理プロセッサ 30 A, 30 B, 30 C がパケット処理を実行することによって、パケット処理をパイプライン化して処理することができ、より多くの処理量を持ったパケット処理を高速に実行することが可能となる効果がある。上記の実施の形態においては、各パケット処理プロセッサがIPヘッダ長チェック、IPヘッダチェックサム計算、TTLの減算という、パケット処理におけるある論理的な塊を実行するような形態としたが、ある一つのパケット処理プロセッサで実行する処理の総クロック数が許す限り、ある一つのパケット処理プロセッサ 30 Aが、IPヘッダ長チェックとIPヘッダチェックサム計算の途中まで、といったパケット処

理におけるある論理的な塊にとらわれない処理を行うことも可能である。

【0077】

図13は、本発明装置の packets 処理プロセッサ 30 を用いた packets データ処理装置の第2実施例の構成図を示す。図13では3個の packets 処理プロセッサ 30A, 30B, 30C を直列に接続し、packets 処理プロセッサ 30A, 30B の中間データレジスタ 34 および packets アクセスレジスタ 32 からのデータ送出先を、次の packets 処理プロセッサ 30B, 30C のデータ入力として packets 処理を実行する。さらに、これら3個のプロセッサがデータを共有するための領域として、グローバルレジスタ（共有レジスタ）60 を設ける構成とする。

【0078】

グローバルレジスタ 60 は、例えば、ビット長 32 ビットの 8 個のレジスタ g0 ~ g7 で構成され、各 packets 処理プロセッサ 30A, 30B, 30C と共に単一の集積回路のチップ内配線によって直接接続する。したがって、各 packets 処理プロセッサ 30A, 30B, 30C は、packets 処理プロセッサ内のレジスタと同様に命令によってグローバルレジスタ 60 を直接アクセスすることが可能である。

【0079】

グローバルレジスタ 60 は、汎用レジスタ 36 と同様にデータの出力または入力対象となる特定のレジスタ g0 ~ g7 を選択するセレクタ 61, 62 を隣接して持ち、各 packets 処理プロセッサ 30A, 30B, 30C がこのセレクタへ選択信号を与える回路機構とする。セレクタ 61 は、各 packets 処理プロセッサ 30A, 30B, 30C の packets アクセスレジスタ 32 から読み出す特定のレジスタ g0 ~ g7 を選択する信号を受け取り、各選択信号に従ってレジスタ g0 ~ g7 を選択する。そして、各 packets 処理プロセッサ 30A, 30B, 30C は、同時にそれぞれ特定のレジスタからデータを読み出す。

【0080】

一方、グローバルレジスタ 60 は、複数のプロセッサの共有領域であるので、同一時点で各プロセッサからの書き込みが同時に発生する可能性がある。しかし

、各パケット処理プロセッサ30A、30B、30Cの処理はパケットに同期しており、各時点でどのプロセッサがどの命令を処理するかを把握可能であるため、これを回避するように事前に装置設計者が命令手順を作成すれば、競合を調停する機構は不要となる。

【0081】

従って、例えばセクタ62が各パケット処理プロセッサ30A、30B、30Cから書き込み先のレジスタg0～g7を選択するための各選択信号を受け取った際に、単純にパケット処理プロセッサ30A、30B、30C順に優先して選択し、それに従って、一つのレジスタg0～g7を選択する。このグローバルレジスタ60を設けることによって、パケット処理プロセッサ30A、30B、30C間で、例えばパケット処理プロセッサ30Aからパケット処理プロセッサ30Bからパケット処理プロセッサ30Cというような一方向のデータ伝達以外に、あるプロセッサが書き込んだ後、即座に他のプロセッサが読み出す等のデータ伝達を行うことができる。

【0082】

これによって、例えば、通常一つのパケット処理プロセッサを用いて、そのパケット処理プロセッサ30の汎用レジスタ36を使用して実行するパケット処理を、2つのパケット処理プロセッサとグローバルレジスタ60を使用して、パラレルに同時処理することによって、より高速にパケット処理を実行することができる。

【0083】

例えば、これを図12の命令手順を用いて示すと、パケット処理プロセッサ30Cの命令手順では、必要なパケット内のフィールドが到着するまでの待ち時間を利用して、後に使用するビットパターンを生成することによって(順序4～6)、効率化をはかっているが、このような時間が存在しない場合は、パケット処理プロセッサ30Bの命令手順の最後の順序15以降でこのビットパターンを生成し、グローバルレジスタ60へ書き込み、これをパケット処理プロセッサ30Cが利用することによって、パケット処理プロセッサ30Cでは、自身でビットパターンを生成するより少ないクロック数で効率的に命令を処理を実行することがで

きる。以上のように、グローバルレジスタ 60 を設けることによって、個々のパケット処理プロセッサ間の命令手順の最適化の余地が増える効果がある。

【0084】

また、グローバルレジスタ 60 は、上記のパケット処理時のパケットデータの処理対象データの局所性に当てはまらず例えばパケット処理プロセッサ 30A 内のパケットアクセスレジスタ 32 の範囲にパケットデータが納まらないときに、このパケットアクセスレジスタ 32 の範囲に納まらないパケットデータの部分をグローバルレジスタ 60 に格納することによって、次段のパケット処理プロセッサ 30B や 30C がこのデータを参照することができる。

【0085】

また、グローバルレジスタ 60 は、データ伝達手段としてではなく、個々のパケット処理プロセッサ 30A, 30B, 30C の汎用レジスタ 36 としても利用することができ、個々のパケット処理プロセッサの汎用レジスタの数を増やさなくても、プロセッサ間でグローバルレジスタ 60 の利用を多重化することによって、実質的に各パケット処理プロセッサが利用することができる汎用レジスタ 36 の数を増やすことができる。

【0086】

図 14 は、本発明装置のパケット処理プロセッサの第 4 実施例のブロック図を示す。このパケット処理プロセッサ 30 は、データをパケット処理プロセッサ外から書き込む位置を変更する書き込み位置変更機構を有する。図 15 は、図 14 のパケット処理プロセッサ 30 の書き込み位置変更機構の動作原理図を示す。書き込み位置変更機構は、図 15 に示すように、パケットアクセスレジスタ 132 および中間データレジスタ 134 に対して、パケット処理プロセッサ外からデータを書き込む位置を、設定によってパケットアクセスレジスタ 132 のレジスタ p7~p0 のいずれか、中間データレジスタ 134 のレジスタ e7~e0 のいずれかに変更することを可能とする機構である。

【0087】

例えば、図 15 においては、パケット処理プロセッサ 30 は、パケット処理プロセッサ外からパケットアクセスレジスタ 132 の p4 と中間データレジスタ 13

4 の e4 にデータを書き込み、クロックに同期して p3/e3, p2/e2, p1/e1p を経由させて、パケットアクセスレジスタ 1 3 2 の p0 と中間データレジスタ 1 3 4 の e0 からデータを送出する。

【 0 0 8 8 】

書き込み位置の変更は、例えば、図 1 4 に示す制御部 3 8 がパケットアクセスレジスタ 1 3 2 のセレクト sp0 ～sp7 と、中間データレジスタ 1 3 4 のセレクト se0 ～se7 に与える選択信号を保持するレジスタを設け、外部の装置管理プロセッサ等により動作開始前に選択信号を書き込んでおく等の方法で実現する。

書き込み位置変更機構は、パケット処理プロセッサ 3 0 が、例えばパケットデータを各レジスタ p7 ～p0 間に介在する各セレクト sp0 ～sp7 へ入力し、各セレクト sp0 ～sp7 は、上記の書き込み位置の設定情報をもとに、パケットデータを次段のレジスタへ送出的るか、前のレジスタの内容を次段のレジスタへ送出的るか決定する機構とする。

【 0 0 8 9 】

中間データに対するデータの書き込み機構も同様の機構とする。以上のように動作するセレクト sp ～sp7 及び se0 ～se7 を設けることによって、書き込み位置を変更することが可能となる書き込み位置変更機構によって、パケット処理プロセッサ 3 0 が実行するパケット処理の内容に応じて、書き込み位置を変更し、パケットの各部分がパケット処理プロセッサ内にとどまっている時間を調節し短くすることができる。

【 0 0 9 0 】

例えば、図 1 2 のパケット処理プロセッサ 3 0 A を図 1 4 の構成とすれば、パケット処理プロセッサ 3 0 A が実行する IP ヘッダ長チェックにおいては、命令手順の順序 5 でパケットアクセスレジスタ 3 2 の p7 を参照しているだけなので、書き込み位置を変更しパケットデータが通過するプロセッサ内のパケットアクセスレジスタ 3 2 の数を 1 つにして、プロセッサ内にとどまっている時間を短くすることができる。しかし、これは処理内容に依存しており、図 1 2 のパケット処理プロセッサ 3 0 C が実行する TTL の減算においては、命令手順の順序 7 でパケットアクセスレジスタ 3 2 の p7 を参照し、後に命令手順の順序 13 でパケットア

アクセスレジスタ 32 の p0 に書き込みを行っているので、書き込み位置を変更して、あるパケットに対し同時にアクセスできる範囲を、これより狭く変更することはできない。したがって、書き込み位置は、装置設計者がパケット処理プロセッサ 30 が実行する処理内容に応じてあらかじめ設定することにする。

【0091】

図 16 は、本発明装置のパケット処理プロセッサの第 5 実施例のブロック図を示す。このパケット処理プロセッサ 30 は、データをパケット処理プロセッサ外に送り出す位置を変更する送り出し位置変更機構を有する。図 17 は、図 16 のパケット処理プロセッサ 30 の送り出し位置変更機構の動作原理図を示す。送り出し位置変更機構は、図 17 に示すように、パケットアクセスレジスタ 232 および中間データレジスタ 234 から、パケット処理プロセッサ外にデータを送り出す位置を、設定によってパケットアクセスレジスタ 232 のレジスタ p7~p0 のいずれか、中間データレジスタ 234 のレジスタ e7~e0 のいずれかに変更することを可能とする機構である。

【0092】

例えば、図 17 においては、パケット処理プロセッサ 30 は、パケットアクセスレジスタ 232 の p7 と図 17 中の中間データレジスタ 234 の e7 へデータを書き込み、クロックに同期して p6/e6, p5/e5 を経由させて、パケットアクセスレジスタ 232 の p4 と中間データレジスタ 234 の e4 からデータが送出する。さらに、送り出し位置変更機構においては、パケットアクセスレジスタ 232 が、すでに次段の処理部に入力したデータに関しても、e3/p3, e2/p2, e1/p1, e0/p0 の順に通過させ、これらのデータに関して、パケット処理プロセッサ 30 がレジスタ e3/p3, e2/p2, e1/p1, e0/p0 にデータを書き込んでも、パケット処理プロセッサ 30 が、そのデータをパケット処理プロセッサ外に伝達することはないが、既に次段の処理部に入力したデータを読み込むことはできる。

【0093】

送り出し位置の変更は、例えば、図 16 に示す制御部 38 がパケットアクセスレジスタ 232 のセレクタ sp10 と、中間データレジスタ 234 のセレクタ se10 に与える選択信号を与えるレジスタを設け、外部の装置管理プロセッサにより動作

開始前に書き込んでおく等の方法で実現する。

送り出し位置の変更機構は、パケットアクセスレジスタ 232 の p0～p7 のパケットデータをすべて一つのセクタ sp10 に入力し、このセクタ sp10 が上記の送り出し位置の設定情報をもとに、どのデータをプロセッサ外部に送出するか選択する機構とする。そして、セクタ sp10 とは関係なく、レジスタ p0～p7 間でデータを移動するので、パケット処理プロセッサ 30 が次段の処理部に供給したデータを、レジスタ p0～p7 のいずれかから読み込み再使用することが可能となる。

【0094】

中間データからのデータの送り出し機構も同様の機構とする。以上のように動作するセクタ sp10 及び se10 を設けることによって、送り出し位置を変更することが可能となる送り出し位置変更機構を構築する。

上記の送り出し位置変更機構によって、パケット処理プロセッサ 30 が実行するパケット処理の内容に応じて送り出し位置を変更し、パケットの各部分がパケット処理プロセッサ内にとどまっている時間を調節し短くすることができることに加えて、次段の処理部に向けて出力したデータも引き続き送り出し位置以降のパケットアクセスレジスタ 232 に残るため、参照することができる。

【0095】

図 14 の書き込み位置変更機構を具備するパケット処理プロセッサ 30 においては、パケット処理プロセッサ 30 が、あるパケットデータを取りこんだ後、一定クロック数後にそれを参照する処理を行うため、パケットの各部分がパケット処理プロセッサ内にとどまっている時間を短くできなかった場合でも、図 16 の実施例では、次段の処理部に入力したデータも引き続き参照することができることによって、この時間を短くすることができる効果がある。

【0096】

以上説明したように、本発明によれば、パケットデータを直接取りこむレジスタ 32, 34 をパケット処理プロセッサ 30 内に設けることによって、さらに、レジスタ 32, 34 内でデータを順次シフトしていき、特定の範囲のデータを参照する構成とすることで必要となるレジスタ容量を抑え、上記のレジスタ 32, 34 をパケット処理プロセッサ 30 内に実装可能とすることによって、パケット

データのデータ転送に関するメモリへの読み出し／書き込み処理のオーバーヘッドを解消することができる。

【0097】

また、上記メモリへの読み出し／書き込み処理のオーバーヘッドを解消することによって、高速なパケット処理を実現することができる効果がある。また、データを順次シフトしていく機構のデータ転送と、パケット処理プロセッサの命令実行との同期をとることによって、命令手順に従ってパケット処理を実行することができ、高い柔軟性を有するパケット処理を高速に実行することができる。

【0098】

また、パケットデータに対する処理結果を保持し転送するレジスタをパケット処理プロセッサ内に設け、このレジスタとパケットデータを直接取りこむレジスタとのデータ転送の同期をとることによって、パケットデータとその処理結果が格納されている場所の各対応関係を示す特別な機構を構築しなくても済む。

また、複数の本発明パケット処理プロセッサを直列に接続しパケット処理をパイプライン化して実行するとき、パケット処理プロセッサ間でデータ共有するグローバルレジスタ60を設けることによって、パケット処理プロセッサ間でパケット処理を最適化することができる。

【0099】

また、パケット処理プロセッサのパケットデータを取りこむレジスタにおける書き込み位置を変更することができる機構を設けることによって、パケット処理プロセッサ内にパケットデータがとどまっている時間を調節することができる。

また、パケット処理プロセッサのパケットデータを取りこむレジスタにおけるパケットデータを送り出す位置を変更することができる機構を設けることによって、パケット処理プロセッサ内にパケットがとどまっている時間を調節することができることに加えて、次段の処理部に入力したパケットデータを引き続き参照することができる。これによって、書き込み位置を変更することができる機構を具備するパケット処理プロセッサにおいては、パケット処理プロセッサ内にパケットデータがとどまっている時間を短くすることができなかつた場合でも、この時間を短くすることができる。

【0100】

【発明の効果】

上述の如く、請求項1に記載の発明は、複数のレジスタから構成されており、前記受信した packets を先頭からクロックに同期して前記複数のレジスタ間で順次シフトして外部に伝達し、前記複数のレジスタのいずれかを前記プロセッサから処理のためにアクセスされる packets データアクセス機構を有する。

【0101】

このように、受信した packets を先頭からクロックに同期して複数のレジスタ間で順次シフトして外部に伝達する packets データアクセス機構を有するため、packets データをレジスタに取りこみシフトして送出することを命令手順とは独立して行い、それを見込んだプロセッサの命令手順を実行することによって、柔軟性を有しながら高速に packets 処理を実行することができる。

【0102】

請求項2に記載の発明は、複数のレジスタから構成されており、前記受信した packets に対する処理結果である中間データを前記クロックに同期して前記複数のレジスタ間で順次シフトして外部に伝達する中間データ保持転送機構を有する。

このように、受信した packets に対する処理結果である中間データをクロックに同期して複数のレジスタ間で順次シフトして外部に伝達する中間データ保持転送機構を有するため、中間データをレジスタに取りこみシフトして送出することを命令手順とは独立して行い、それを見込んだプロセッサの命令手順を実行することによって、柔軟性を有しながら高速に packets 処理を実行することができる。

【0103】

請求項3に記載の発明は、packets のデータを用いて検索され、前記 packets のデータに対応するデータが読み出される検索テーブルを有する。

このように、packets のデータを用いて検索される検索テーブルを有するため、packets 処理に必要なインタフェース番号等の情報を得ることができる。

請求項4に記載の発明は、複数の packets データ処理装置を直列接続した。

【0104】

このように、複数のパケットデータ処理装置を直列接続したことにより、複数のパケットデータ処理装置によるパイプライン処理を実行することが可能となり、パケット処理を高速に実行することができる。

請求項5に記載の発明は、直列接続した複数のパケットデータ処理装置からアクセスされ、前記複数のパケットデータ処理装置間でデータを共有する共有レジスタを有する。

【0105】

このように、複数のパケットデータ処理装置間でデータを共有する共有レジスタを有するため、複数のパケットデータ処理装置と共有レジスタを使用して、平行に同時処理することができ、より高速にパケット処理を実行することができる。

請求項6に記載の発明は、パケットデータアクセス機構または中間データ保持転送機構を構成する複数のレジスタに対する外部から伝達されたデータの書き込み位置を変更する書き込み位置変更機構を有する。

【0106】

このように、パケットデータアクセス機構または中間データ保持転送機構のレジスタに対する外部から伝達されたデータの書き込み位置を変更する書き込み位置変更機構を有するため、パケットの各部分がパケット処理プロセッサ内にとどまっている時間を調節し短くすることができる。

請求項7に記載の発明は、パケットデータアクセス機構または中間データ保持転送機構を構成する複数のレジスタから外部に伝達するデータの読み出し位置を変更する読み出し位置変更手段を有する。

【0107】

このように、パケットデータアクセス機構または中間データ保持転送機構のレジスタから外部に伝達するデータの読み出し位置を変更する読み出し位置変更手段を有するため、次段に向けて出力したデータも引き続きパケットデータアクセス機構または中間データ保持転送機構に残り、この残ったデータを参照することができる。

【図面の簡単な説明】

【図 1】

プロセッサによってパケット処理を行う従来装置の構成図である。

【図 2】

従来のパケット中継装置の構成図である。

【図 3】

本発明装置のパケット処理プロセッサの第 1 実施例のブロック図である。

【図 4】

図 3 のパケット処理プロセッサのデータ転送動作原理図である。

【図 5】

本発明装置のパケット処理プロセッサの第 1 実施例のブロック図である。

【図 6】

図 5 のパケット処理プロセッサを組み込んだパケット中継装置のブロック図である。

【図 7】

パケット処理プロセッサ 3 0 が備える命令セットの実施例を示す図である。

【図 8】

パケット処理プロセッサ 3 0 がパケット処理を実行するときの命令手順を図 7 の命令セットを用いて記述した実施例を示す図である。

【図 9】

本発明装置のパケット処理プロセッサの第 2 実施例のブロック図である。

【図 1 0】

本発明装置のパケット処理プロセッサの第 3 実施例のブロック図である。

【図 1 1】

本発明装置のパケット処理プロセッサ 3 0 を用いたパケットデータ処理装置の第 1 実施例の構成図である。

【図 1 2】

パケットデータ処理装置の各パケット処理プロセッサ 3 0 A, 3 0 B, 3 0 C が実行する命令手順を記述した実施例を示す図である。

【図 1 3】

本発明装置の packets 処理プロセッサ 3 0 を用いた packets データ処理装置の第 2 実施例の構成図である。

【図 1 4】

本発明装置の packets 処理プロセッサの第 4 実施例のブロック図である。

【図 1 5】

図 1 4 の packets 処理プロセッサ 3 0 の書き込み位置変更機構の動作原理図である。

【図 1 6】

本発明装置の packets 処理プロセッサの第 5 実施例のブロック図である。

【図 1 7】

図 1 6 の packets 処理プロセッサ 3 0 の送り出し位置変更機構の動作原理図である。

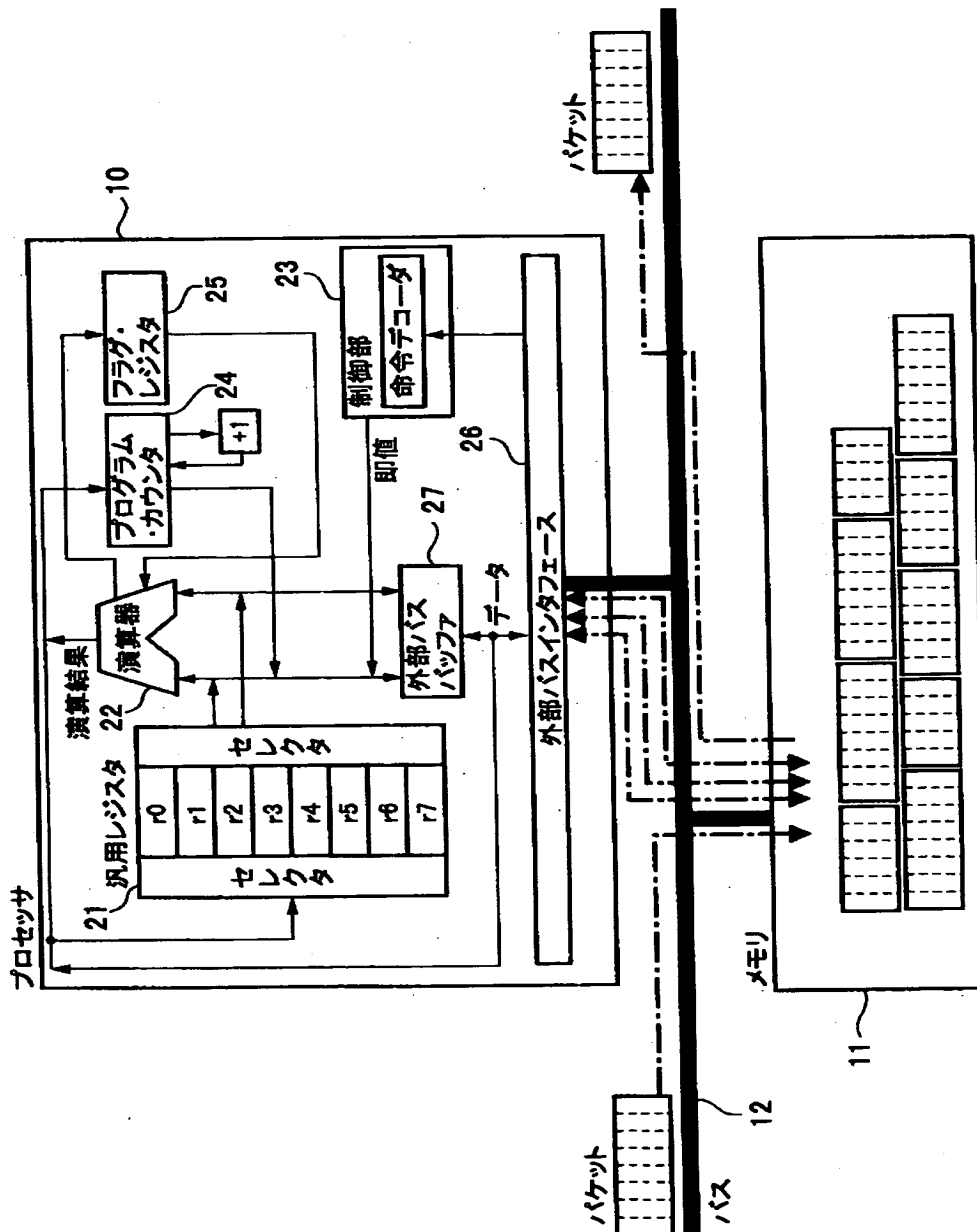
【符号の説明】

- 3 0 packets 処理プロセッサ
- 3 2 packets アクセスレジスタ
- 3 4 中間データレジスタ
- 4 1 packets 中継装置
- 4 2 受信インタフェース
- 4 4 スイッチ・ファブリック
- 4 5 送信インタフェース
- 5 0 検索メモリ
- 5 1, 5 2 検索キーレジスタ
- 5 4 検索メモリ制御部
- 5 5, 5 6 ヒットコンテンツ・レジスタ
- 5 8 検索フラグレジスタ 5 8

【書類名】 図面

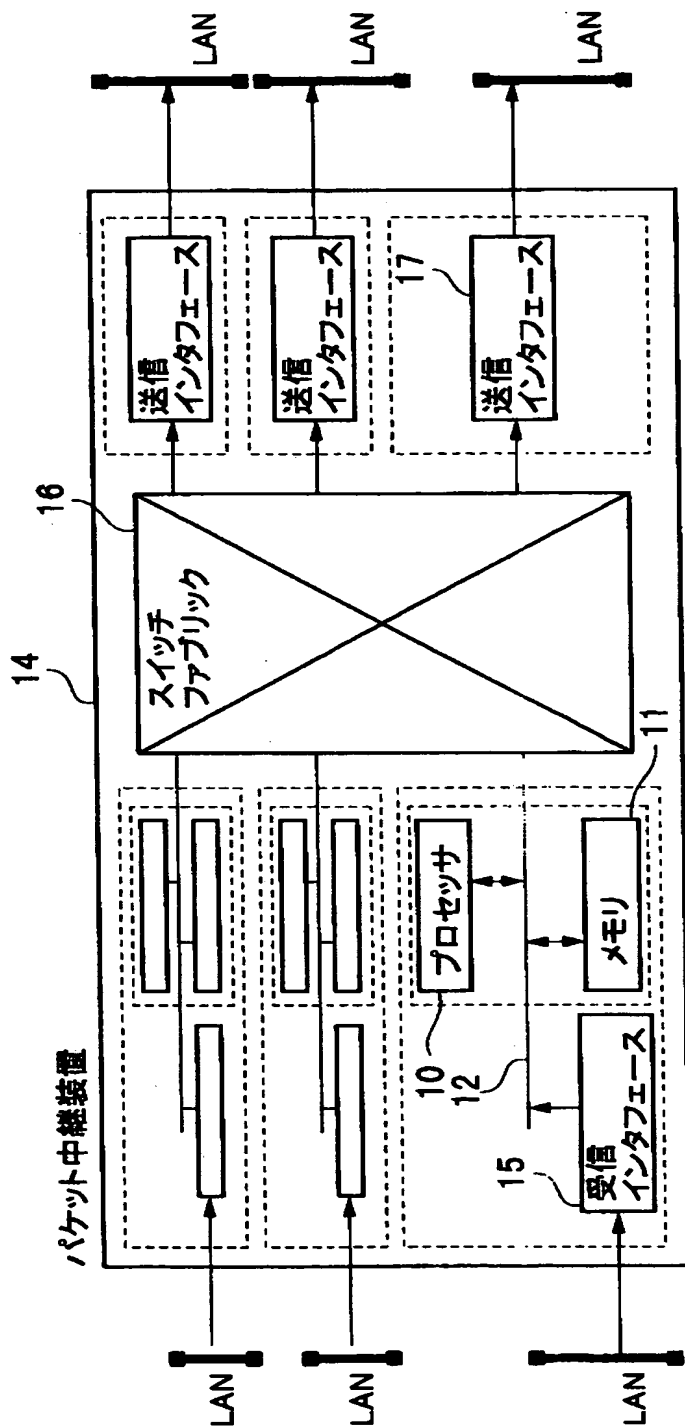
【図 1】

プロセッサによってパケット処理を行う従来装置の構成図



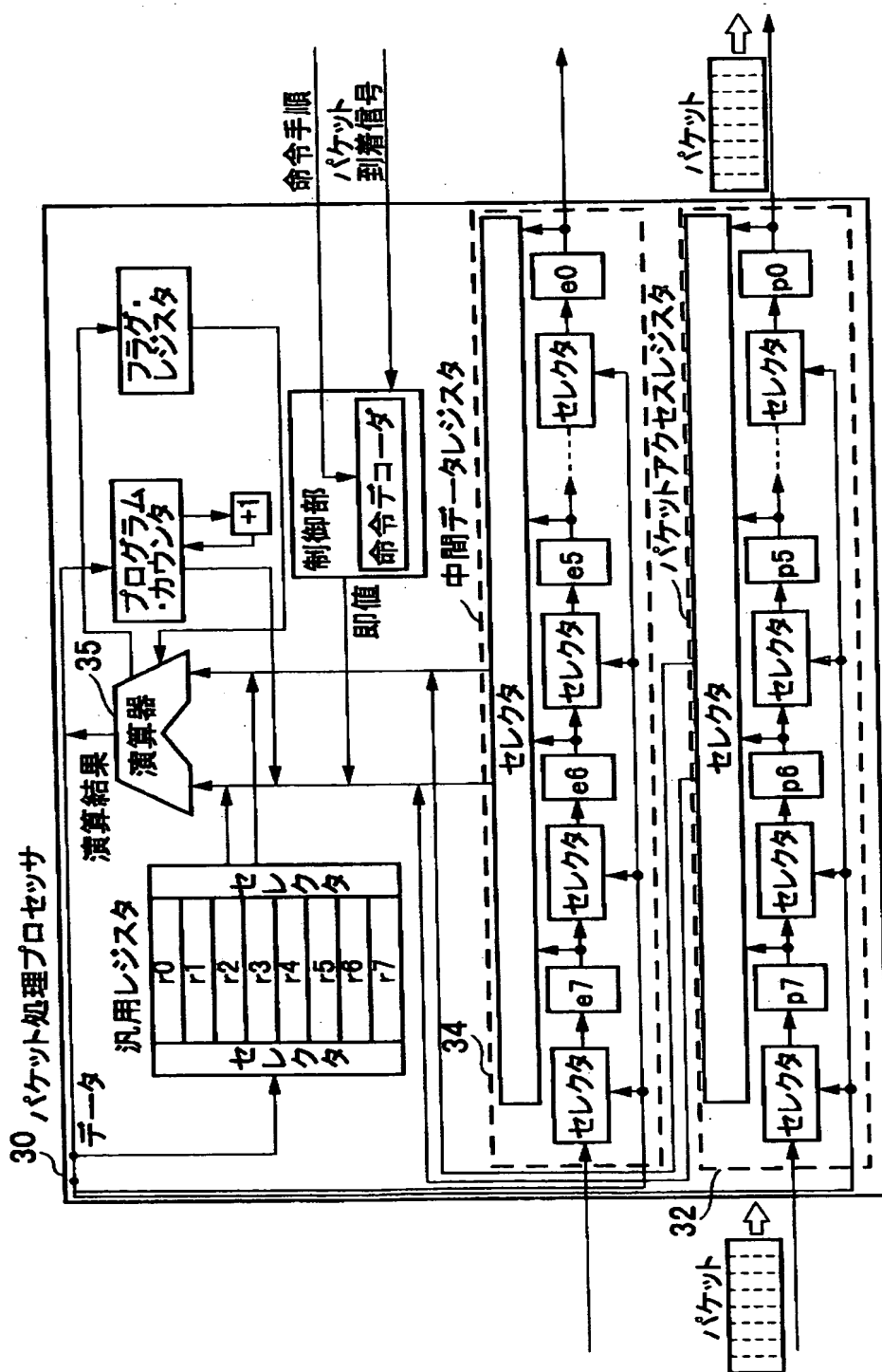
【図 2】

従来のパケット中継装置の構成図



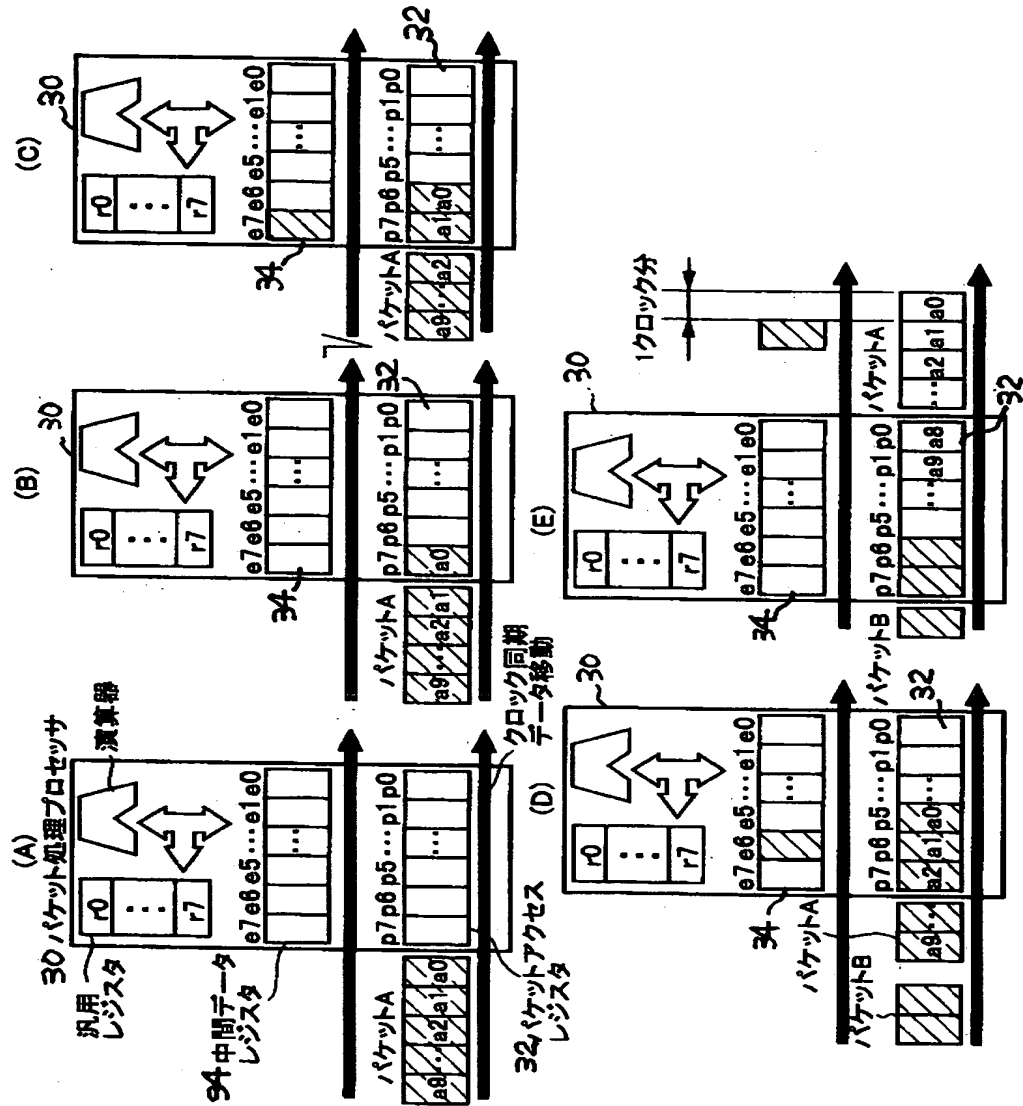
【図 3】

本発明装置の packets 処理プロセッサの第1実施例のブロック図



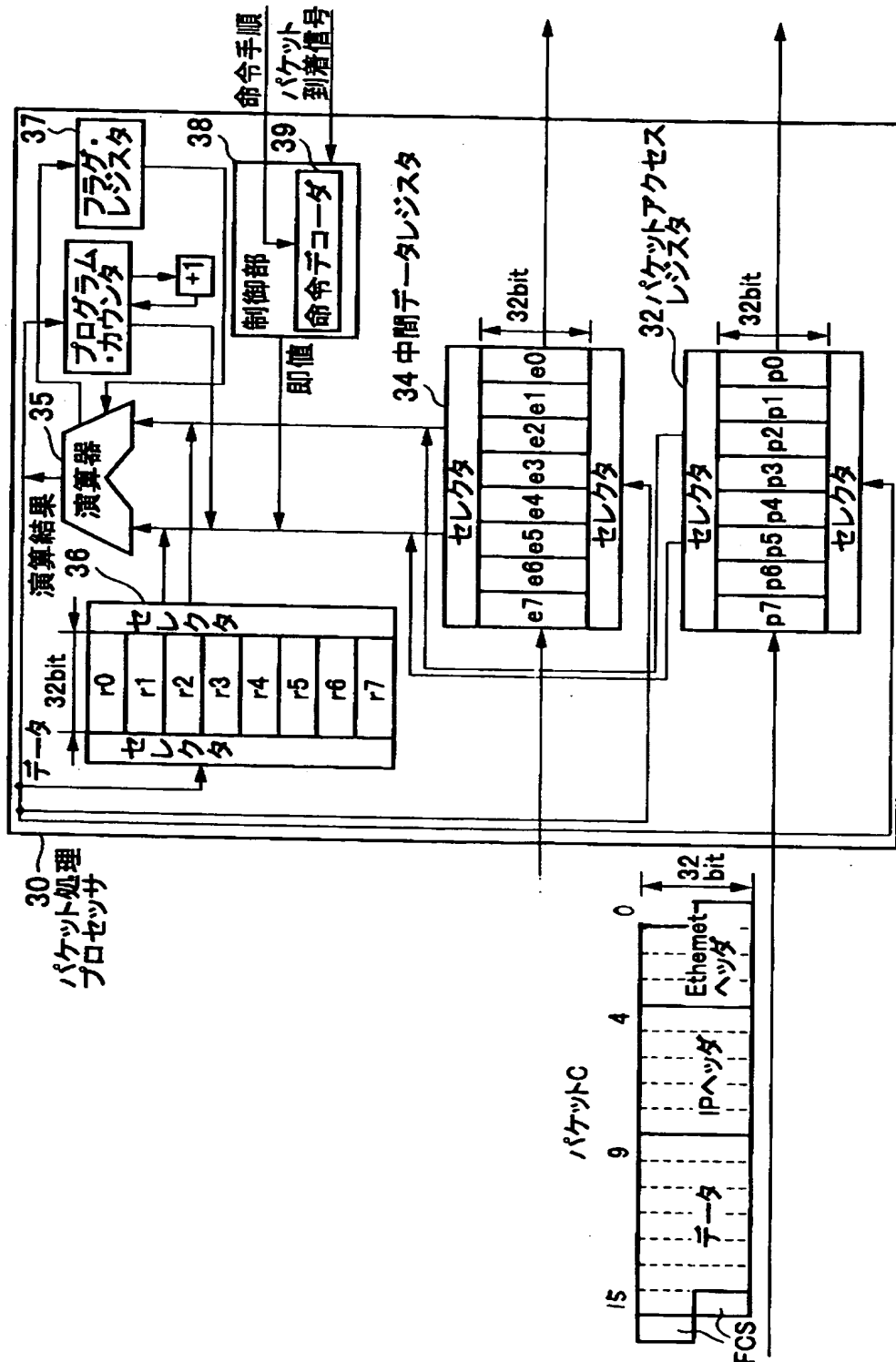
【図4】

図3の packets 処理プロセッサのデータ転送動作原理図



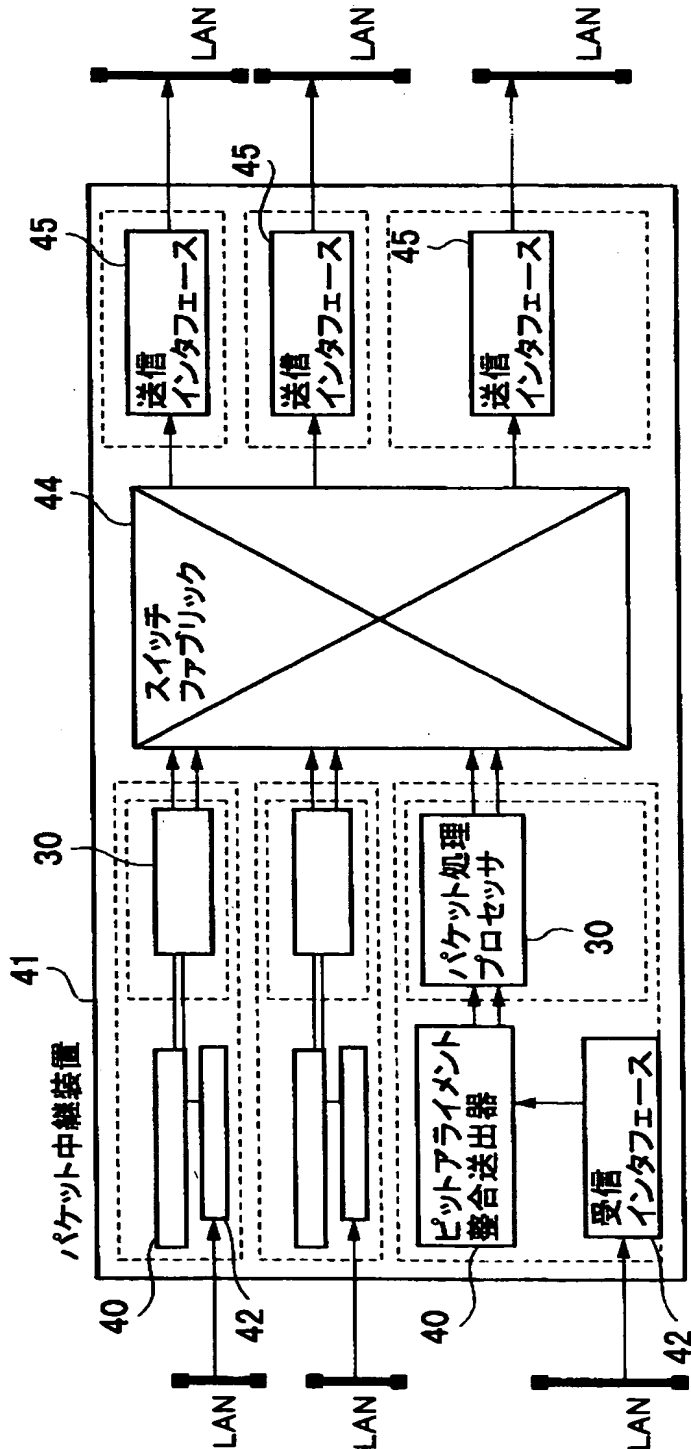
【図 5】

本発明装置の packets 処理プロセッサの第 1 実施例のブロック図



【図 6】

図5のパケット処理プロセッサを組み込んだ
パケット中継装置のブロック図



【図 7】

パケット処理プロセッサ 3 0 が備える命令セットの実施例を示す図

命令の分類	命令ニモニック	実行する内容
非実行	NOP	何も実行せず、クロックのみ消費する。
データ転送	MOVE	ワード単位でレジスタ間またはメモリ間でデータ転送する。
	MOVW	半ワード単位（下位ビット側）でレジスタ間でデータ転送する。
	MOVB	バイト単位（下位ビット側）でレジスタ間でデータ転送する。
整数演算	ADD	ワード単位で整数値同士を加算する。
	ADC	キャリーとワード単位で整数値同士を加算する。
	ADW	半ワード単位で整数値同士を加算する。
	AWC	キャリーと半ワード単位で整数値同士を加算する。
	SUB	ワード単位で整数値同士を減算する。
	SBW	半ワード単位で整数値同士を減算する。
論理演算	OR	ワード単位で論理和を取る。
	AND	ワード単位で論理積を取る。
	XOR	ワード単位で排他低論理和を取る。
	NOT	ワード単位で反転。
	NTW	半ワード単位で反転。半語以上の上位ビットは反転しない。
	NTB	バイト単位で反転。バイト以上の上位ビットは反転しない。
	SFL	左（上位ビット側）にシフトし、下位ビットに 0 をつめる。
	ROTL	左回転。
	SFR	右（下位ビット側）にシフトし、上位ビットに 0 をつめる。
	ROTR	右回転。
ビット演算	BSF	ソースオペランドのビット列の最下位ビットから検索して、最初に値が 1 のビットの位置を求める。
	BSR	ソースオペランドのビット列の最上位ビットから検索して、最初に値が 1 のビットの位置を求める。
	BT	ソースオペランド 1 をベースとし、ソースオペランド 2 をオフセットとし、ビットの値をフラグ・レジスタのキャリーフラグにセット。

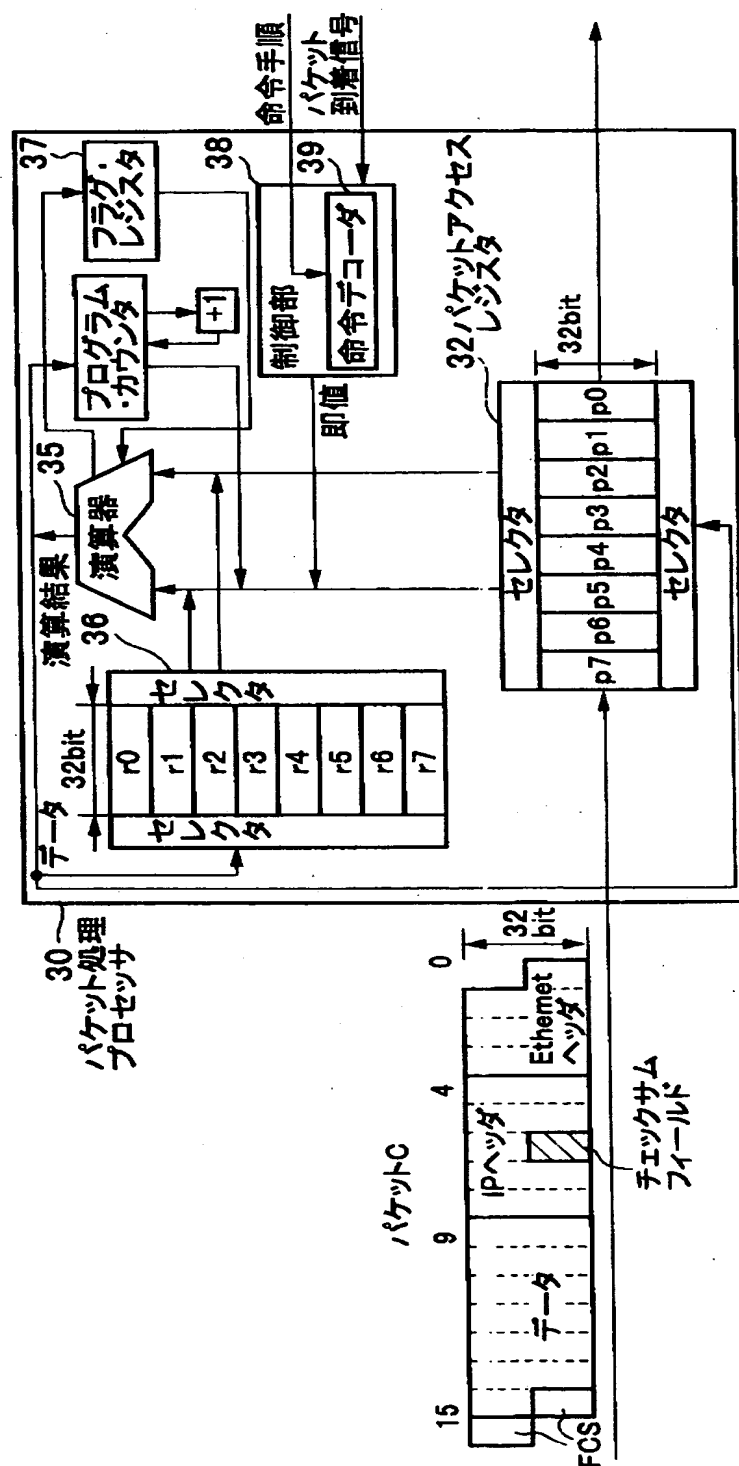
【図 8】

パケット処理プロセッサ 3 0 がパケット処理を実行するときの
命令手順を図 7 の命令セットを用いて記述した実施例を示す図

順 序	命 令	パケットアクセスレジスタに格納されている パケット C の部分							
		p7	p6	p5	p4	p3	p2	p1	p0
1	ANOP	c0							
2	ANOP	c1	c0						
3	ANOP	c2	c1	c0					
4	ANOP	c3	c2	c1	c0				
5	AMOVE r0 p7	c4	c3	c2	c1	c0			
6	AADD r0 r0 p7	c5	c4	c3	c2	c1	c0		
7	AADC r0 r0 p7	c6	c5	c4	c3	c2	c1	c0	
8	AADC r0 r0 p7	c7	c6	c5	c4	c3	c2	c1	c0
9	AADC r0 r0 p7	c8	c7	c6	c5	c4	c3	c2	c1
10	AADC r0 r0 \$0	c9	c8	c7	c6	c5	c4	c3	c2
11	AMOVE r1 r0	c10	c9	c8	c7	c6	c5	c4	c3
12	ASFR r0 r0 \$18	c11	c10	c9	c8	c7	c6	c5	c4
13	AADW r0 r0 r1	c12	c11	c10	c9	c8	c7	c6	c5
14	ANTW r0 r0	c13	c12	c11	c10	c9	c8	c7	c6
15	*MOVE e0 \$1	c14	c13	c12	c11	c10	c9	c8	c7

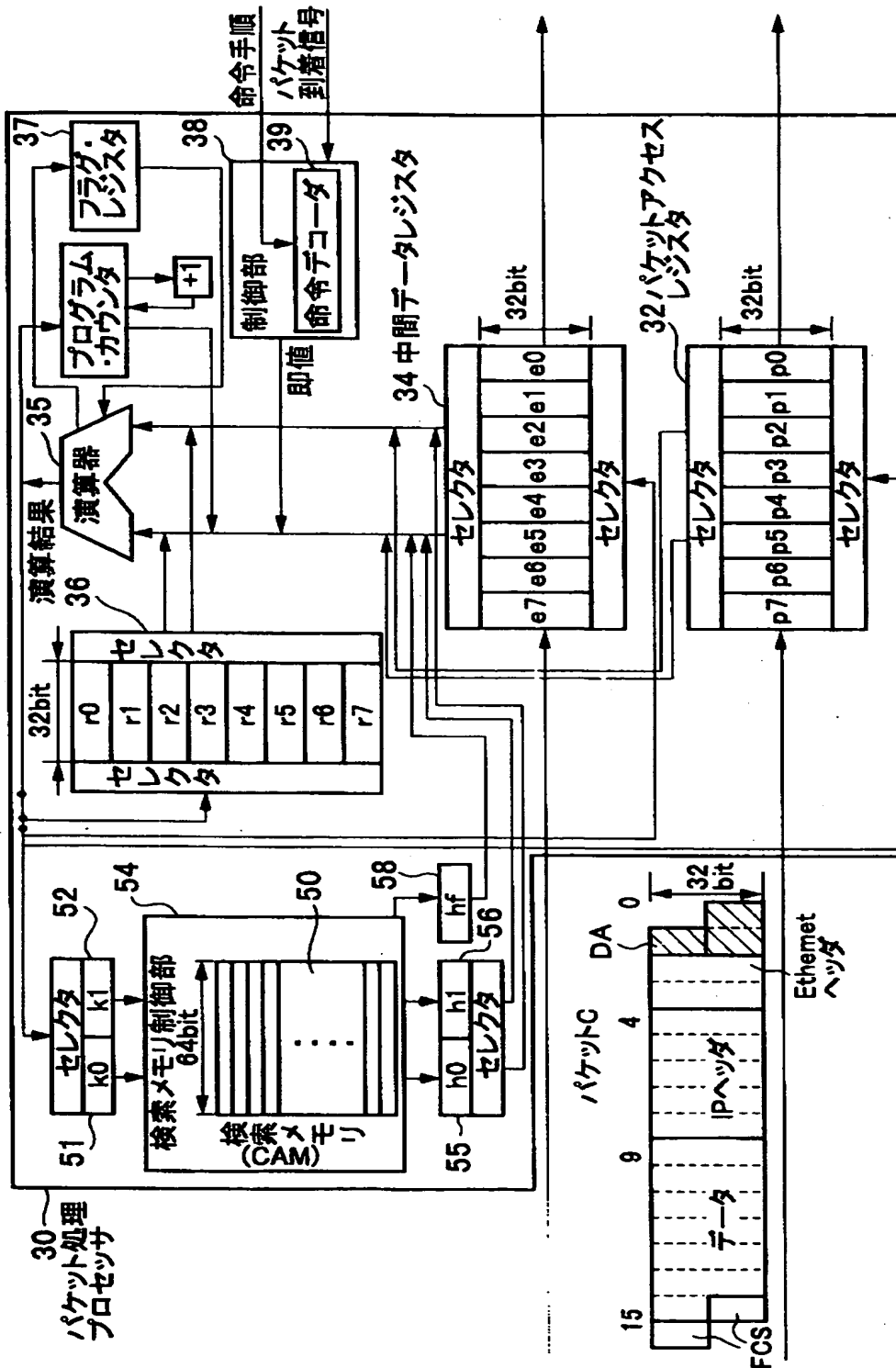
【図 9】

本発明装置の packets 処理プロセッサの第2実施例のブロック図



【図 1 0】

本発明装置の packet 処理プロセッサの第 3 実施例のブロック図



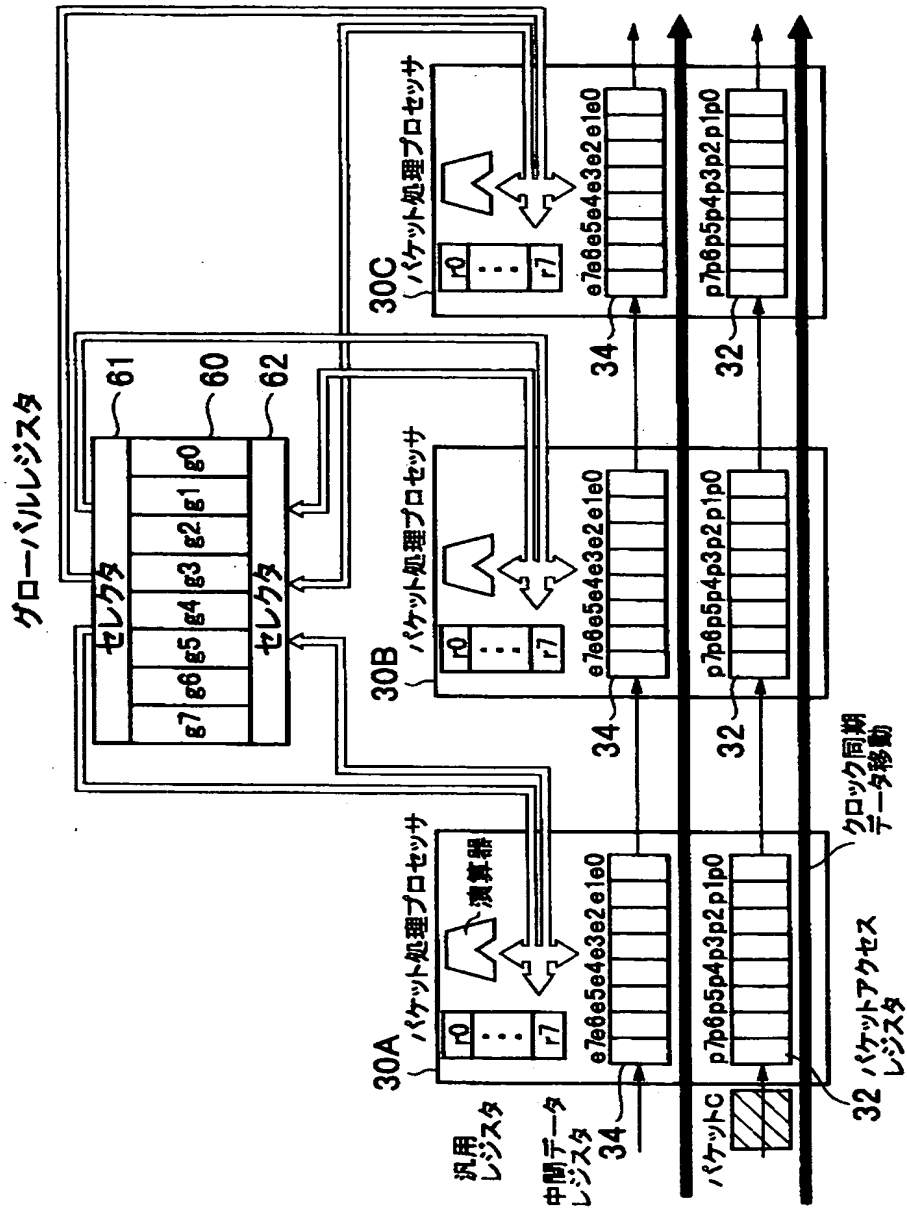
【図 1 2】

パケットデータ処理装置の各パケット処理プロセッサ 3 0 A, 3 0 B,
3 0 C が実行する命令手順を記述した実施例を示す図

通 番 号	パケット処理プロセッサ 3 0 A の命令手順		パケット処理プロセッサ 3 0 B の命令手順		パケット処理プロセッサ 3 0 C の命令手順	
	順 序	命 令	順 序	命 令	順 序	命 令
1	1	ANOP				
2	2	AMOVE r1 \$0				
3	3	ANOT r1 r1				
4	4	ASFR r1 r1 \$24				
5	5	ASFR r1 p7 \$16				
6	6	AAND r0 r0 r1				
7	7	ASUB r0 r0 \$5				
8	8	<MOVE a3 \$1				
9			1	ANOP		
10			2	ANOP		
11			3	ANOP		
12			4	ANOP		
13			5	AMOVE r0 p7		
14			6	AADD r0 r0 p7		
15			7	AADC r0 r0 p7		
16			8	AADC r0 r0 p7		
17			9	AADC r0 r0 p7	1	ANOP
18			10	AADC r0 r0 \$0	2	ANOP
19			11	AMOVE r1 r0	3	ANOP
20			12	ASFR r0 r0 \$16	4	AMOVE r3 \$0
21			13	AADW r0 r0 r1	5	ANOT r3 r3
22			14	ANTW r0 r0	6	ASFR r3 r3 \$8
23			15	≠MOVE a0 \$1	7	AMOVE r0 p7
24					8	ASFR r1 r0 \$24
25					9	ASUB r1 r1 \$1
26					10	-MOVE a3 \$1
27					11	ASFL r1 r1 \$24
28					12	AAND r0 r0 r3
29					13	AADD a0 r1 r0

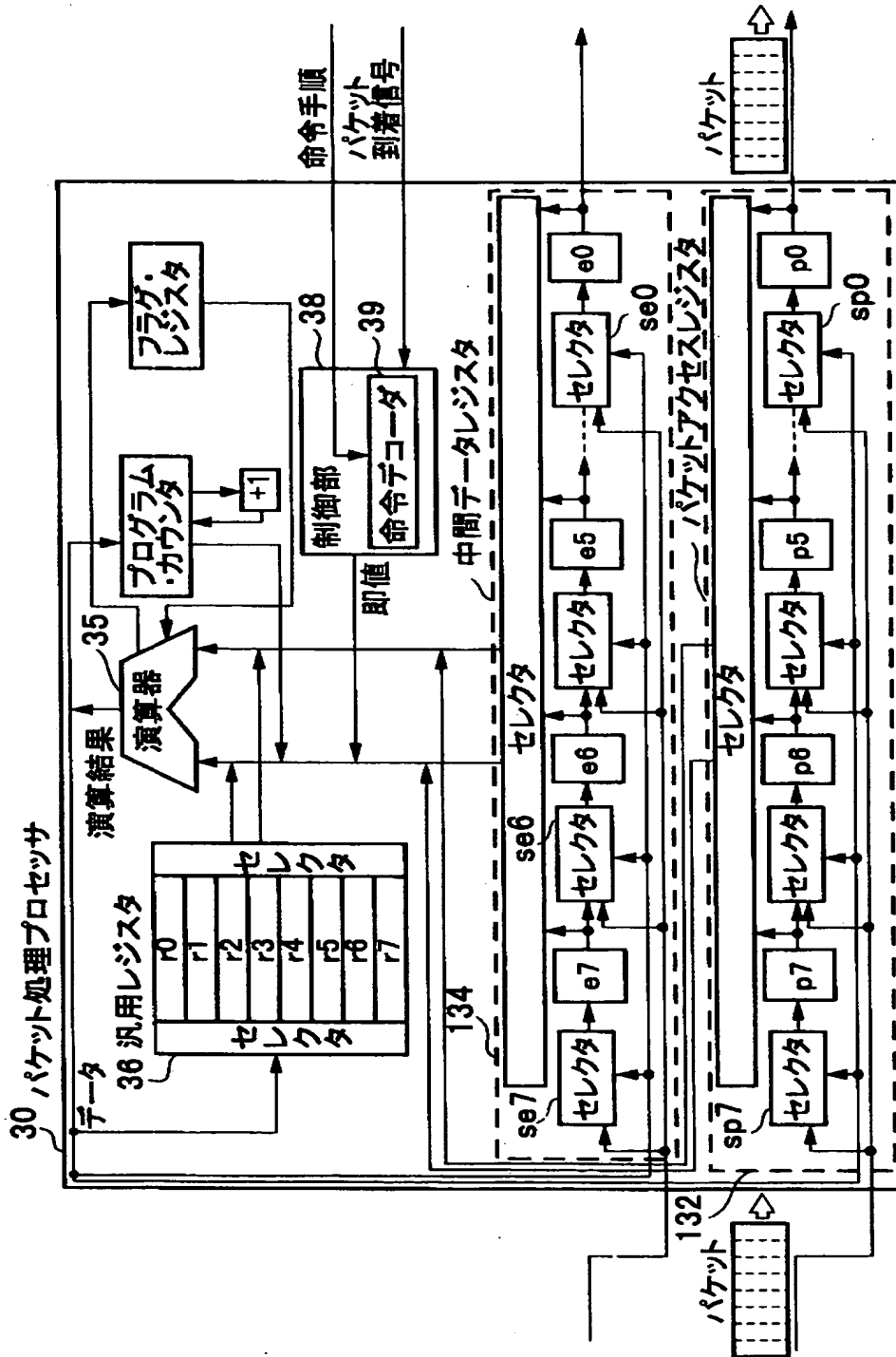
【図 1 3】

本発明装置の packets 処理プロセッサ 30 を用いた packets データ
処理装置の第 2 実施例の構成図



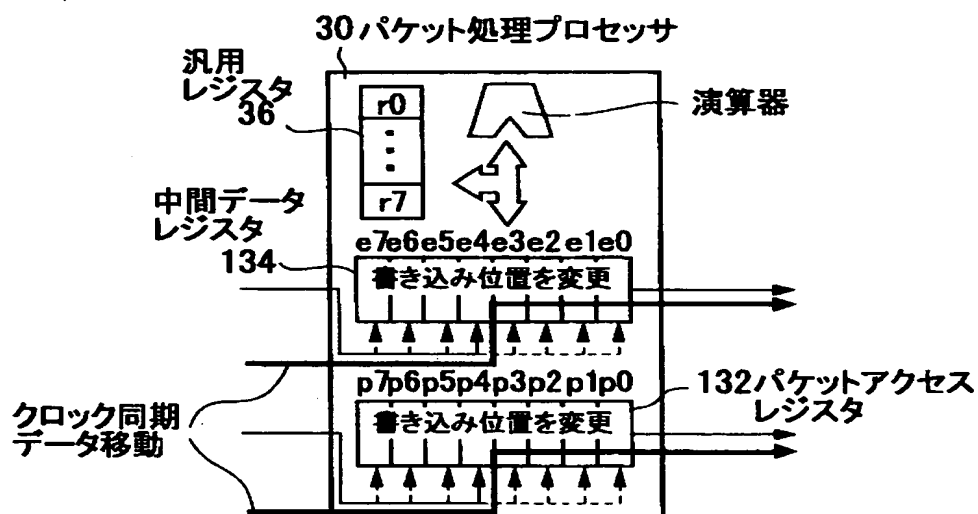
【図 1 4】

本発明装置の packet 処理プロセッサの第 2 実施例のブロック図



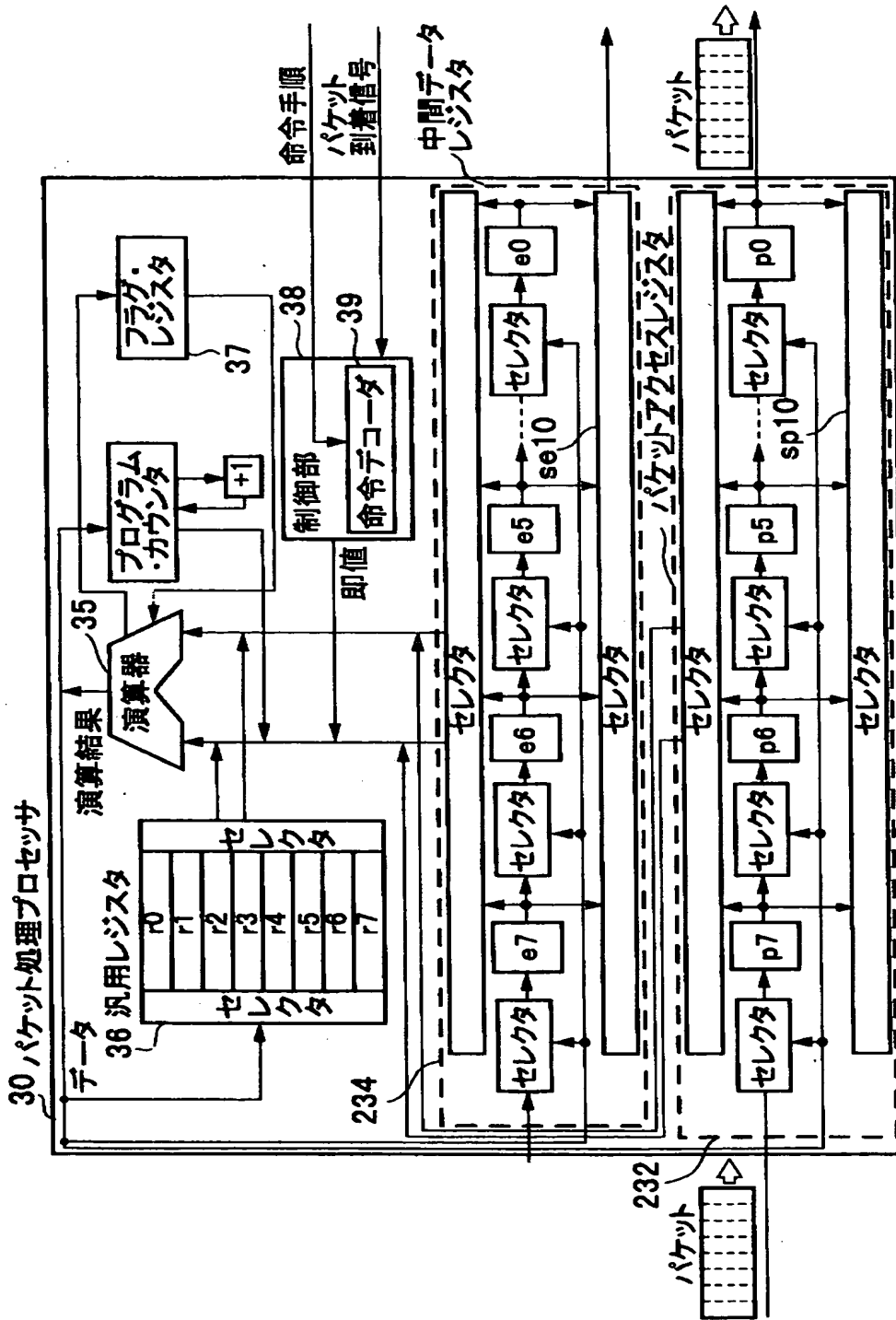
【図 1 5】

図14のパケット処理プロセッサ30の書き込み位置変更機構の動作原理図



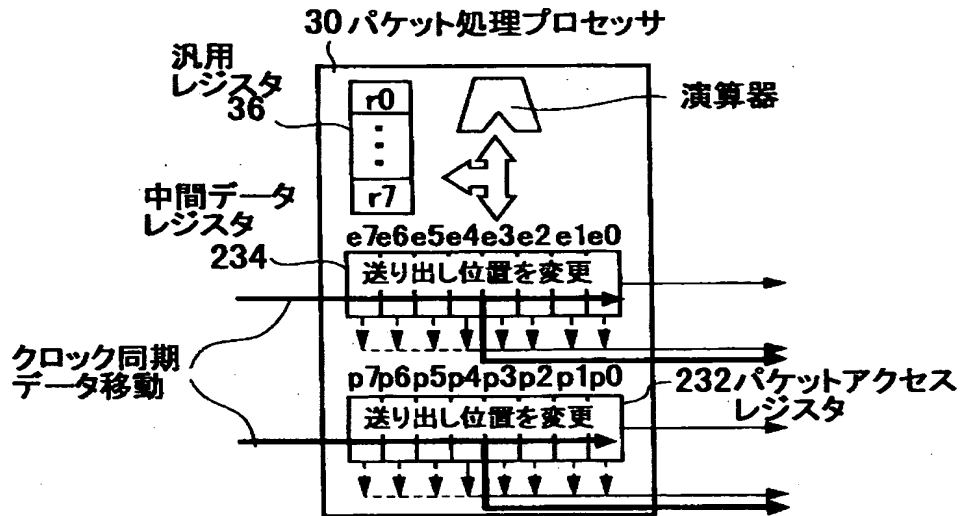
【図 1 6】

本発明装置の packet 処理プロセッサの第 3 実施例のブロック図



【図 17】

図16のパケット処理プロセッサ30の送り出し位置
変更機構の動作原理図



【書類名】 要約書

【要約】

【課題】 本発明は、プロセッサによるメモリへの読み出し／書き込み処理のオーバーヘッドを解消でき、高速なパケット処理が可能なパケットデータ処理装置及びそれを用いたパケット中継装置を提供することを目的とする。

【解決手段】 複数のレジスタから構成されており、前記受信したパケットを先頭からクロックに同期して前記複数のレジスタ間で順次シフトして外部に伝達し、複数のレジスタのいずれかを前記プロセッサから処理のためにアクセスされるパケットデータアクセス機構 3 2 を有する。このため、パケットデータをレジスタに取りこみシフトして送出することを命令手順とは独立して行い、それを見込んだプロセッサの命令手順を実行することによって、柔軟性を有しながら高速にパケット処理を実行することができる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社